

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053243

(43)Date of publication of application : 23.02.2001

(51)Int.Cl.

H01L 27/10
G11C 5/00
G11C 11/401

(21)Application number : 11-224122

(71)Applicant : HITACHI LTD

HITACHI ULSI SYSTEMS CO LTD
HITACHI TOBU
SEMICONDUCTOR LTD

(22)Date of filing : 06.08.1999

(72)Inventor : KAWAMURA MASAYASU

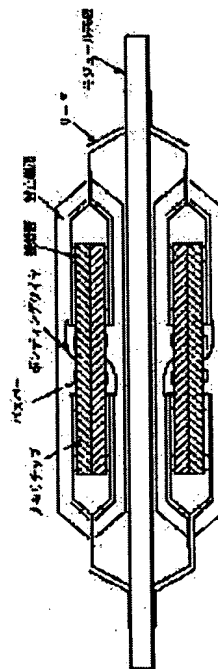
NAKAMURA ATSUSHI
SAKAGUCHI YOSHIHIRO
KINOSHITA YOSHITAKA
TAKAHASHI YASUSHI
INOUE YOSHIHIKO

(54) SEMICONDUCTOR MEMORY DEVICE AND MEMORY MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide semiconductor storage devices, which are formed thin, while two memory chips are used and are superior in general-purpose properties, a memory module, which can be increased the memory capacity per unit volume and is enabled a high-density mounting, and a memory module which is satisfactory in operability.

SOLUTION: The rears of two memory chips which are made a memory access in a two-bit unit are superposed, and the superposed rears are assembled into a laminated structure to contrive to make a memory access in a four-bit unit. A plurality of semiconductor storage devices being constituted into a structure, where the rears of the two memory chips which are made the



memory access in the two-bit unit, are superposed, and the superposed rears are assembled into the laminated structure to contrive to make the memory access into the four-bit unit, consists of a square and the storage devices are mounted on a mounting substrate constituted of electrodes formed along its one side to constitute a memory module.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-53243

(P2001-53243A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 27/10	4 9 5	H 0 1 L 27/10	4 9 5 5 B 0 2 4
G 1 1 C 5/00	3 0 3	G 1 1 C 5/00	3 0 3 A 5 F 0 8 3
11/401		11/34	3 7 1 K

審査請求 未請求 請求項の数25 O L (全 25 頁)

(21) 出願番号 特願平11-224122

(22) 出願日 平成11年8月6日 (1999.8.6)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(71) 出願人 000233527

日立東部セミコンダクタ株式会社

群馬県高崎市西横手町1番地1

(74) 代理人 100081938

弁理士 徳若 光政

最終頁に続く

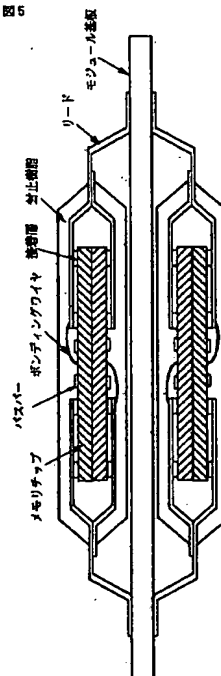
(54) 【発明の名称】 半導体記憶装置とメモリモジュール

(57) 【要約】

【課題】 2つのメモリチップを用いつつ、その厚みを薄く形成し、汎用性に優れた半導体記憶装置、及び単位体積当たりの記憶容量の増大と、高密度実装が可能なメモリモジュール、使い勝手のよいメモリモジュールを提供する。

【解決手段】 2ビット単位でメモリアクセスが行われる2つのメモリチップの裏面を重ね合わせて積層構造に組み立てて4ビット単位でのメモリアクセスを行うようにする。上記2ビット単位でメモリアクセスが行われる2つのメモリチップの裏面を重ね合わせて積層構造に組み立てて4ビット単位でのメモリアクセスを行うようにしてなる半導体記憶装置の複数個を方形からなり、その1つの辺に沿って電極が形成されてなる実装基板上に搭載してメモリモジュールを構成する。

図5



【特許請求の範囲】

【請求項 1】 2 ビット単位でメモリアクセスが行われる 2 つのメモリチップを互いに裏面が対向する状態で封止して 4 ビット単位でのメモリアクセスを行うようにしてなることを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 において、
上記 2 つのメモリチップは、互いに裏面が接触するよう重ね合わされてなり、2 つのメモリチップの少なくとも表面が封止用樹脂に接触することを特徴とする半導体記憶装置。

【請求項 3】 請求項 2 において、
上記メモリチップは、複数のメモリバンクに分けられており、上記裏面が接触するように重ね合わされたとき、同じアドレスが割り当てられたメモリバンクのメモリチップの裏面での位置が異なるようにされてなることを特徴とする半導体記憶装置。

【請求項 4】 請求項 1 ないし 3 のいずれかにおいて、
上記 2 つのメモリチップが積層されて封止された半導体記憶装置の厚さは、その半分又は同等の記憶容量を有する 1 個のメモリチップが封止された半導体記憶装置の厚さと同等かそれ以下であることを特徴とする半導体記憶装置。

【請求項 5】 請求項 1 ないし 4 のいずれかにおいて、
上記積層されたメモリチップは、配線手段又はボンディングワイヤを用いて、その信号伝達経路又は信号レベルの設定により、2 ビット単位でのメモリアクセスを含んだ複数ビット単位による複数通りのデータ入出力を可能にする機能を備えてなることを特徴とする半導体記憶装置。

【請求項 6】 請求項 5 において、
上記複数ビット単位は、2 ビット単位、4 ビット単位、8 ビット単位及び 16 ビット単位の 4 通りであることを特徴とする半導体記憶装置。

【請求項 7】 請求項 2 又は 3 において、
上記半導体記憶装置は、方形の樹脂封止パッケージの長手方向の両側面から延びるようリードが形成され、
上記 4 ビットは、第 1 リードないし第 4 リードからなるデータ用リードに対応され、

上記第 1 と第 2 リードのペアと第 3 と第 4 リードのペアとは、方形の樹脂封止パッケージの両側に上記長手方向と平行な中心線に対して対称的な位置に分かれて設けられ、

上記 2 つのメモリチップの一方のメモリチップは、2 ビットのデータ端子に対応された電極が上記第 1 リードと第 2 リードに対して電気的に接続され、他方のメモリチップは、2 ビットのデータ端子に対応された電極が上記第 3 リードと第 4 リードに対して電気的に接続されてなることを特徴とする半導体記憶装置。

【請求項 8】 2 ビット単位でメモリアクセスが行われる 2 つのメモリチップを積層構造に組み立てて 4 ビット

単位でのメモリアクセスを行うようにしてなり、
上記 2 つのメモリチップは、それぞれが表面にテープ状態のリードが設けられ、裏面を除いて少なくとも上記表面部が封止樹脂と接触することを特徴とする半導体記憶装置。

【請求項 9】 請求項 8 において、
上記積層構造にされた半導体記憶装置の厚さは、その半分又は同等の記憶容量を有する 1 個のメモリチップからなる半導体記憶装置の厚さと同等かそれ以下であることを特徴とする半導体記憶装置。

【請求項 10】 請求項 8 において、
上記各メモリチップは、配線手段又はボンディングワイヤを用いて、その信号伝達経路又は信号レベルの設定により、2 ビット単位でのメモリアクセスを含んだ複数ビット単位による複数通りのデータ入出力を可能にする機能を備えてなることを特徴とする半導体記憶装置。

【請求項 11】 請求項 10 において、
上記複数ビット単位は、2 ビット単位、4 ビット単位、8 ビット単位及び 16 ビット単位の 4 通りであることを特徴とする半導体記憶装置。

【請求項 12】 裏面同士を重ね合わせた状態で封止体により封止された 2 つのメモリチップを有し、
上記 2 つのメモリチップは、それぞれ複数のメモリ領域に分割されており、
上記 2 つのメモリチップは、それぞれ活性化されたメモリ領域から 2 ビット単位でメモリアクセスが行われることにより 4 ビット単位でメモリアクセスが行われ、
上記 2 つのメモリチップの重ね合わせ面において上記活性化されたメモリ領域の位置が異なることを特徴とする半導体記憶装置。

【請求項 13】 第 1 及び第 2 メモリチップと、
上記第 1 及び第 2 メモリチップの裏面同士を重ねた状態で封止する封止体と、
上記封止体の第 1 辺から該封止体の内外に延びる第 1 及び第 2 リードと、
上記第 1 辺と対向する上記封止体の第 2 辺から該封止体の内外に延びる第 3 及び第 4 リードとを備え、
上記第 1 及び第 2 メモリチップは、それぞれの回路形成面において、各メモリチップの長辺と平行な直線であって短辺の中央部を通る直線に沿って配置されたデータ出力用の第 1、第 2、第 3 及び第 4 端子を有し、
上記第 2 端子は上記第 1 端子と第 3 端子との間の上記第 1 端子に近い位置に配置され、
上記第 3 端子は上記第 2 端子と第 4 端子との間の上記第 4 端子に近い位置に配置され、
上記第 1 リードと上記第 4 リードは上記直線を挟んで対向する位置に配置され、
上記第 2 リードと上記第 3 リードは上記直線を挟んで対向する位置に配置され、
上記第 1 及び第 2 メモリチップは、それぞれ上記第 1 及

び第2端子のいずれか一方と第3及び第4端子のいずれか一方とを用いて2ビット単位でデータ出力を行うことにより、4ビット単位で上記第1、第2、第3及び第4リードからデータ出力を行うことを特徴とする半導体記憶装置。

【請求項14】 請求項13において、
上記第1メモリチップの上記第1及び第2端子のいずれか一方の端子と上記第2メモリチップの上記第1及び第2端子のいずれか一方の端子が、それぞれ上記第1リードと上記第4リードにワイヤを介して選択的に接続され、

上記第1メモリチップの上記第3及び第4端子のいずれか一方の端子と上記第2メモリチップの上記第3及び第4端子のいずれか一方の端子が、それぞれ上記第2リードと上記第3リードにワイヤを介して選択的に接続されることを特徴とする半導体記憶装置。

【請求項15】 請求項14において、
第1及び第2メモリチップは、それぞれ4ビット単位でのデータ出力が可能な構成を備え、上記4ビットのデータは上記第1、第2、第3及び第4端子から得られることを特徴とする半導体記憶装置。

【請求項16】 第1及び第2メモリチップと、
上記第1及び第2メモリチップの裏面同士を重ねた状態で封止する封止体と、
上記封止体の内外に延びる複数のアドレス用リードと、
上記封止体の内外に延びる複数のデータ用リードとを備え、

各アドレス用リードは封止体内において2つに分岐され、分岐されたそれぞれのリードが上記第1及び第2メモリチップの表面上にそれぞれ延ばされ、
各データ用リードは、それぞれ上記第1及び第2メモリチップの少なくとも一方の表面上に延ばされ、
上記第1及び第2メモリチップは、それぞれの表面に複数のアドレス端子と複数のデータ端子を有し、
上記第1及び第2メモリチップの対応する各アドレス端子同士はそれぞれ分岐されたアドレス用リードとワイヤとを介して共通接続され、

上記第1メモリチップ上の各データ端子と上記第2メモリチップ上の各データ端子とは分離して各データ用リードにワイヤを介して接続され、
上記第1及び第2メモリチップからそれぞれ2ビット単位でデータ出力を行うことにより、4ビット単位で上記データ用リードからデータ出力を行うことを特徴とする半導体記憶装置。

【請求項17】 請求項16において、
各データ用リードは、上記第1及び第2メモリチップに対する延長長さにおいて非対称であることを特徴とする半導体記憶装置。

【請求項18】 配線手段又はボンディングワイヤを用いて、その信号伝達経路又は信号レベルの設定により、

2ビット単位、4ビット単位、8ビット単位及び16ビット単位の4通りのデータ出力を選択可能なメモリチップを備えてなることを特徴とする半導体記憶装置。

【請求項19】 2ビット単位でメモリアクセスが行われる2つのメモリチップを互いに裏面が対向する状態で封止して4ビット単位でのメモリアクセスを行うようにしてなる複数の半導体記憶装置を、その1つの辺に沿って電極が形成されてなる方形の実装基板上に設けてなることを特徴とするメモリモジュール。

10 【請求項20】 請求項19において、
上記2つのメモリチップは、互いに裏面が接触するよう重ね合わされてなり、
上記2つのメモリチップの少なくとも表面に封止用樹脂が接触するようにされることを特徴とするメモリモジュール。

20 【請求項21】 請求項19又は20において、
上記2つのメモリチップが積層されて封止された半導体記憶装置の厚さは、その半分又は同等の記憶容量を有する1個のメモリチップが封止された半導体記憶装置の厚さと同様かそれ以下であることを特徴とするメモリモジュール。

【請求項22】 請求項19又は20において、
上記半導体記憶装置は、外部端子に与えられる電圧の設定により、2ビット単位でのメモリアクセスを含んだ複数ビット単位による複数通りのデータ入出力を可能にする機能を備えてなることを特徴とするメモリモジュール。

30 【請求項23】 請求項22において、
上記複数ビット単位は、2ビット単位、4ビット単位、8ビット単位及び16ビット単位の4通りであることを特徴とするメモリモジュール。

【請求項24】 請求項19ないし23のいずれかにおいて、
上記メモリモジュールの複数個は、それぞれのコネクタが基板上に平行に並んで配置される複数個のソケットにそれぞれ挿入されて実装されるものであることを特徴とするメモリモジュール。

【請求項25】 複数の半導体記憶装置が実装されたメモリモジュールであって、

40 2ビット単位でのメモリアクセスが行われる2つのメモリチップを積層構造に組み立てて4ビット単位でのメモリアクセスを行うようにしてなり、
上記2つのメモリチップは、それぞれが表面にテープ状のリードが設けられ、裏面を除いて少なくとも上記表面部が封止樹脂と接触することを特徴とするメモリモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置とメモリモジュールに関し、主としてダイナミック型R

AM (ランダム・アクセス・メモリ) のような汎用半導体記憶装置とそれを用いたメモリモジュールに利用して有効な技術に関するものである。

【0002】

【従来の技術】本発明を成した後の調査によって、後で説明する本発明に関連すると思われるものとして、特開平4-222989号公報があることが判明した。この公報においては、1個のパッケージに複数個のチップを封止した半導体集積回路装置の動作時の発熱によってチップ内部に発生する応力歪状態を各チップで均等化するよう工夫されたものであるが、その中の段落0031において、2つのメモリチップを2個用いて2倍の記憶容量を実現する例が開示されている。後で説明する本願発明のように1つの半導体記憶装置として見たときの厚み(高さ方向)を、それと同等の記憶容量を有する汎用の半導体記憶装置と同等にするかそれ以下にするという記載は一切見当たらない。

【0003】

【発明が解決しようとする課題】2つのメモリチップを同一のパッケージに封止すれば、2倍の記憶容量を実現することは、上記公報等によって知られている。しかし、このように複数のチップを1つのパッケージに封止した場合において、単に封止しただけでは特殊な半導体記憶装置となってしまう用途が限られてしまう。半導体記憶装置として広く利用できるようにするには、既存の半導体記憶装置と互換性を持たせることが重要である。前記公報の半導体集積回路装置では、メモリチップの表面(主面)が互いに向かいあうように積層構造にするものであり、2つのチップの表面においてそれぞれがリードとの接続を行うワイヤボンディングを行うための高さを必要とするために必然的にパッケージの厚みが厚くなってしまう。

【0004】汎用の半導体記憶装置では、パッケージの薄型化が進められている傾向にあるため、上記の公報記載の技術ではそれと同等の記憶容量を有する汎用の半導体記憶装置の厚みと同等の厚みを実現することは難しいものとなる。半導体記憶装置において、大きな記憶容量を小さな容積の中で実現するため、実装基板の両面に半導体記憶装置を実装してメモリモジュールを構成し、かかるメモリモジュールの複数個を主ボード上に平行に配置される複数のコネクタに差し込むようにして用いられることが多い。この場合、上記複数個のコネクタの間隔は、可能な限り接近して配置される。それ故、そのメモリモジュールは、その全体の厚みが少なくとも上記コネクタのピッチに合わせて形成される必要があり、メモリ動作時の熱放出を考慮すると上記メモリモジュール間において少しでも間隔があることが望ましい。

【0005】本願発明者等においては、上記のような検討の結果、2つのメモリチップを1つのパッケージに搭載して2倍の記憶容量を実現するとき、かかるパッケー

ジの厚みが1つのメモリチップを搭載した既存の半導体記憶装置と同等かそれ以下にすることが極めて重要であることに気が付いたのである。

【0006】この発明の目的は、2つのメモリチップを用いつつ、その厚みを薄く形成することができる半導体記憶装置を提供することにある。この発明の他の目的は、2つのメモリチップを用いつつ、汎用性に優れた半導体記憶装置を提供することにある。この発明の更に他の目的は、単位体積当たりの記憶容量の増大と、高密度実装が可能なメモリモジュールを提供することにある。この発明の他の目的は、使い勝手のよいメモリモジュールを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、2ビット単位でメモリアクセスが行われる2つのメモリチップの裏面を重ね合わせて積層構造に組み立てて4ビット単位でのメモリアクセスを行うようにする。

【0008】本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、2ビット単位でメモリアクセスが行われる2つのメモリチップの裏面を重ね合わせて積層構造に組み立てて4ビット単位でのメモリアクセスを行うようにしてなる半導体記憶装置の複数個を方形からなり、その1つの辺に沿って電極(コネクタ)が形成されてなる実装基板上に搭載してメモリモジュールを構成する。

【0009】

【発明の実施の形態】図1には、この発明に係る半導体記憶装置の一実施例の要部透視図が示されている。この実施例では、同一のパッケージに2つのメモリチップが背中合わせで積層構造とされる。つまり、メモリチップの裏面側が互いに向かい合うようにし、ボンディングパッド等が形成される表面が外側を向くように重ね合わされる。同図には、発明の理解を容易にするために、パッケージや、メモリチップに必要な多数のリードのうち、データ端子に関連する一部が代表として例示的に示されている。

【0010】半導体記憶装置を簡単に増大させる手法として、前記公報に記載のように2つのメモリチップを1つのパッケージに搭載する技術がある。これまで64MビットDRAMでは×4、×8、×16ビットが存在した64Mチップを2チップを積層して1パッケージに組み立てると128Mビットを実現でき、また同様に256Mビットを2チップをパッケージに組み立てれば512Mビットが実現できる。これら積層方式は128Mビットあるいは512Mビットのシングルチップを新たに開発するよりも開発期間を短縮できるので、低価格用途

に注目されている。しかしながら、従来の×4以上のシングルチップのビット構成では積層してもビット数は×8以上しか実現できなかった。このため、上記のような積層方式では、128Mビットあるいは512Mビットで×4ビット品をつくることができなかった。

【0011】その上、前記公報のように2つのメモリチップを1つのパッケージに組み立てると、それと同等の記憶容量を有する半導体記憶装置に比べてパッケージ全体の厚みが厚くなってしまい、外部端子を同等の配列にしたとしても、後述するようなメモリモジュールに搭載する場合、高密度に組み立てられたコネクタのピッチに合わせることができなくなってしまう、言い換えるならば、1つのパッケージに1つのメモリチップを搭載した半導体記憶装置との互換性が無くなってしまいうという問題が生じる。

【0012】本願発明においては、メモリチップとして×2ビット構成にできるものを2つ積層構造にし、×4ビット構成の半導体記憶装置を構成するものである。この場合、上記1つのパッケージに組み立てるときの厚みを1つのチップを搭載したパッケージと同等のものにするため、2つのメモリチップの裏面を接合させるという工夫がなされている。この構造では、メモリチップの裏面がパッケージを構成する封止樹脂と極力接触しないようにされる。このことは、従来の半導体集積回路装置では、封止の目的で半導体チップの裏面及び表面を含む全体が封止樹脂と接触するように構成されるものと比べると大きく異なり、このような工夫によって積層構造を採用しつつ、半導体集積装置としての薄型化を図るようになるものである。

【0013】つまり、この実施例においては、上記のようにメモリチップを背中合わせにすることによって、従来の半導体集積回路装置のように裏面部分の封止樹脂を少なくなり、その分パッケージの厚みを薄くすることができる。この結果、同図のように上下両面にLOC（リード・オン・チップ）構造のリードを配置し、それとメモリチップのボンディングパッドとをボンディングワイヤにより接続し、2つのメモリチップを1つのパッケージに納めても、そのパッケージの厚みを既存の同等の記憶容量を有する半導体記憶装置におけるパッケージの厚みと同等にすることができる。

【0014】このような積層構造においては、背中合わせでそれぞれのメモリチップに設けられるアドレス端子や制御端子は、対応するリードが外部で共通に接続される必要がある。このため、2つのメモリチップでは、リードとボンディングパッドとの関係が左右逆に構成される。これに対して、データ端子は、上記のようなアドレス端子と同様に外部で対応するものを共通に接続してしまうと、×2ビットずつのデータが外部端子で衝突してしまう。

【0015】そこで、この実施例では、アドレス端子等

に関しては上記積層構造の上側メモリチップと下側メモリチップとはミラー反転させてリードとボンディングパッドとを接続する。これに対して、2つのデータ端子は、メモリチップの主面からみた場合には同じ側の2つのリードと接続させる。つまり、同図の例においては、外部端子DQ0及びDQ1とされるデータ用リードは、上側メモリチップと下側メモリチップの両方に延び、上側リードが上側メモリチップのパッドDQ(a)とDQ(c)にワイヤを介して接続され、下側リードは下側メモリチップのいずれのパッドとも接続さない。

【0016】外部端子DQ3とDQ2とされるデータ用リードは、上側メモリチップと下側メモリチップの両方に延び、下側リードが下側メモリチップのパッドDQ(a)とDQ(c)にワイヤを介して接続され、上側リードは下側メモリチップのいずれのパッドとも接続さない。上記下側メモリチップのパッド配置と上側メモリチップのパッド配置は同様であり、上側メモリチップに代表的に示されたパッドDQ(b)とDQ(d)は、1つのメモリチップから4ビット単位でデータ出力を行う場合に、上記DQ(a)とDQ(c)と共に用いられるものである。

【0017】したがって、図1の実施例ではDQ(b)とDQ(d)は用いられない。A信号のリードは、上側メモリチップ及び下側メモリチップに延びる両リードの先端においてそれぞれのメモリチップに形成されるパッドA-PAD及びB-PADに接続され、同じA信号が両メモリチップに共通に供給される。データ用リードは、後述するように入出力容量低減のため、接続されない側のリードを切断してもよい。

【0018】図2には、この発明に係る半導体記憶装置の積層構造にされる2つのメモリチップの一実施例の概略パターン図が示されている。同図(A)は、上側(UPPER)のメモリチップとそれに対応したリード及びボンディングワイヤが示され、同図(B)には下側(LOWER)のメモリチップとそれに対応したリード及びボンディングワイヤが示されている。

【0019】この実施例のメモリチップは、後述するようなメタルオプション又はボンディングオプションあるいはその組み合わせによって、×2ビット構成、×4ビット構成、×8ビット構成及び×16ビット構成が選択できるようにされる。これらの複数通りのビット構成に対応できるよう、リードは最大数が示されている。この実施例では、×2ビット構成で、それぞれのメモリチップが256Mビットの記憶容量を持つ場合のリード及びボンディングワイヤの例が示されている。したがって、信号名が付されていないリードは、上記の×2ビット構成のメモリでは存在しないリードであると理解された。

【0020】メモリチップは、その長手方向のほぼ中心線上にボンディングパッドがほぼ一直線状に配置され

10

20

30

40

50

る。このようなボンディングパッドを1列に並べる構成は、後述する2つのメモリチップを上記のように背中合わせで積層構造とし、アドレス端子や制御端子等のようなリードを外部で共通化して1つのパッケージに搭載する場合に極めて有益なボンディングパッドの配列となる。

【0021】上側のメモリチップ及び下側のメモリチップのリード端子の信号名は、四角で囲んだデータ用リードDQ0～DQ3を除いて、図面上では左右対称的に配置される。例えば上側メモリチップUPPERの右側に配置される各リードは、下側のメモリチップLOWERでは、メモリチップの長手方向の中心線を基準にしてミラー反転させた左側に配置せられるリードと一致している。逆に、上側メモリチップUPPERの左側に配置される各リードは、下側のメモリチップLOWERでは、メモリチップの長手方向の中心線を基準にしてミラー反転させた右側に配置せられたリードと一致している。

【0022】上記のように上側メモリチップUPPERと下側メモリチップLOWERとの同じ信号が供給されるリードが左右逆に配置されるが、上記のようにボンディングパッドが1列に並んでいる場合には、リードに対して上側と下側では左右逆転させてボンディングワイヤを配置させればよい。図2において、メモリチップUPPERとそのリード及びボンディングワイヤに対して、メモリチップLOWERとそのリード及びボンディングワイヤの配列は、上記メモリチップUPPERの右側に鏡（ミラー）を置いて写し出されたものと一致している。ただし、上記データ用リードDQ0～DQ3に関しては、上側メモリチップUPPERでは、右側のリードDQ3とDQ2に接続され、下側メモリチップLOWERでは、右側のリードDQ0とDQ1に接続される。つまり、メモリチップ側のボンディングパッドとそれに接続されるリードの位置は同じであるが、リード名が上記のように異なるようにされる。

【0023】この実施例では、メモリチップの長手方向に一对のリードが延長されてチップの上下端で電源電圧VDDと回路の接地電位VSSのリードに接続される。このリードは、バスバーとされて低電源インピーダンスによりメモリチップに対して適宜に電源電圧VDD、回路の接地電位VSSを供給するの用いられる。このバスバーVDD及びVSSも、上側メモリチップUPPERと下側メモリチップLOWERとでは上記ミラー反転した形態で配置される。

【0024】上記のような2つのメモリチップを裏面が接合するように背中合わせで積層構造にした場合、アドレス端子や制御端子はそれぞれ対応するリードが上下重ね合わされて共通接続される。これに対して、データ端子は2ずつのリードが上記積層構造にしたときに互いに左右に分離されて、互いに電氣的に分離されて×4ビットのデータ端子DQ0～DQ3のようにできるものである。

る。

【0025】図3には、この発明に係る半導体記憶装置の一実施例の上面図が示されている。この実施例では、256Mビットのメモリチップを前記のように積層構造として1つのパッケージに搭載し、全体で512Mビットの記憶容量を持つようにされる。この実施例では、2つのメモリチップをそれぞれ×2、×4及び×8ビット構成とすることにより、×4ビット、×8ビット及び×16ビットからなる3通りのビット構成とする場合のピン配列が示されている。

【0026】この実施例において、電源端子VCCは上記電源リードVDDに対応しており、電源端子VCCQやVSSQは、上記バスバーには接続されないで、これらの外部端子から電源電圧VCC及び回路の接地電位VSSを供給するものとして用いられる。これらの電源電圧VCCQ、VSSQは出力バッファ用の動作電圧を供給するものとして用いられる。これにより、出力バッファで発生する電源ノイズが半導体記憶装置の内部で前記バスバーを介して他の内部回路に伝搬するのを防止するものである。これによって、内部回路の動作を安定化を図ることができるものとなる。

【0027】この実施例では、54ピンの標準パッケージに256Mビットの2つのメモリチップを背中合わせで搭載したものであり、もちろんパッケージの厚さも標準パッケージの厚さとされる。

【0028】図4には、この発明に係る半導体記憶装置の一実施例の出力系統図が示されている。この実施例では、特に制限されないが、64Mビットの記憶容量のメモリチップを用いた例が示され、ノーマルモードでのメモリアレイ位置とDQ番号の関係が示されている。この実施例では、×2ビット品、×4ビット品、×8ビット品及び×16ビット品の4通りのビット構成の中から1つが選択できるようにされる。メモリアレイは、後述するように1つのメモリバンクに対応したメモリアレイが16個のサブアレイに分割され、各サブアレイから2対のメイン入出力線（MIO）が設けられ、上記MIOに対応して32個のメインアンプが設けられる。上記16個のサブアレイは、8個ずつ左右（L/R）に分割される。

【0029】×2ビット品では記号LとRで示したようにメモリアレイの左右半分ずつがそれぞれDQ0、DQ1に対応する。この実施例では、アドレス信号A0～A7により選択信号YSが発生されて、1つのメモリバンクから32対のMIO（メイン入出力線）に信号が出力される。上記32対のMIOは、上記のように16個ずつが左L、右Rの2組に分けられる。×2ビット品では、メインアンプMAに対応して32個設けられるバッファ回路BCが上記LとRに対応した2組に分けられてデータ端子DQ3（0）とDQ15（1）に共通に接続される。

【0030】アドレス信号A8により形成されたカラム選択信号Y8又はY8Bにより、上記16個ずつのメインアンプのうちの8個が選択され、更に図示しないアドレス信号A9、A10及びA11により最終的に上記LとRから1個ずつのメインアンプMAが選択されて上記選択されたメインアンプMAに対応したバッファ回路CBを通して出力端子DQ3(0)とDQ15(1)から2ビットのデータが出力される。ここで、(0)と(1)は、×2ビット構成のときの端子番号を示している。以下、このことは他のビット構成でも同様である。

【0031】×4ビット品では、上記バッファ回路CBの出力線が4組に分けられる。それに対応して、メインアンプMAを選択するアドレス信号A11が無効(縮退)させられて、4ビット単位でのデータ読み出しが行われる。×8ビット品では、バッファ回路CBの出力線が8組に分けられ、メインアンプMAを選択するアドレス信号A11とA10が無効(縮退)させられて8ビット単位でのデータ読み出しが行われる。そして、×16ビット品では、バッファ回路CBの出力線が16組に分けられ、メインアンプMAを選択するアドレス信号A11とA10及びA9が無効(縮退)させられて8ビット単位でのデータ読み出しが行われる。

【0032】図5には、この発明に係る半導体記憶装置を用いたメモリモジュールの一実施例の要部断面図が示されている。背中合わせのメモリチップを持つ半導体記憶装置が、モジュール基板の両面に搭載されている。リードはメモリチップ上に接着層を介して接着される。これらのリードの延長方向とは直角方向に延長されるバスバーは、接着層が薄く形成されて、その高さが上記リードより低くされる。これにより、リードの選択とメモリチップの表面に設けられるボンディングパッドとの間を接続するワイヤが上記バスバーと接触することがないように高さ方向のマージンを大きくすることができる。

【0033】モジュール基板の両面に搭載される半導体記憶装置は、前記のように2つのメモリチップが積層構造にされているが、裏面が重なり合うように形成されているので、封止樹脂の厚みを薄く形成することができる。つまり、この実施例の半導体記憶装置は、1つのメモリチップしか搭載されない通常の半導体記憶装置であって、その半分の記憶容量を持つ半導体記憶装置と同じ厚さのパッケージに形成することができ、上記半導体記憶装置を用いたメモリモジュールとの置き換えが可能になる。このようなメモリモジュールの置き換えによって、同じ実装体積なら記憶容量が2倍にでき、同じ記憶容量なら実装面積を半分に低減させることができる。

【0034】本発明に係る半導体記憶装置は、前記図1、図2に及び第5図に示されるように、第1及び第2メモリチップ(すなわち、上側と下側のメモリチップ)の裏面同士を重ねた状態で封止され、封止体の第1辺から該封止体の内外に延びる第1リードDQ0及び第2リ

ードDQ1と、上記第1辺と対向する前記封止体の第2辺から該封止体の内外に延びる第3リードDQ2及び第4リードDQ3とを備える。

【0035】前記第1及び第2メモリチップは、それぞれの回路形成面において、各メモリチップの長辺と平行な直線であって短辺の中央部を通る直線に沿って配置されたデータ出力用の第1端子DQ(a)、第2端子DQ(b)、第3端子DQ(c)及び第4端子DQ(d)を有する、前記第2端子DQ(b)は上記第1端子DQ(a)と第3端子DQ(c)との間の前記第1端子DQ(a)に近い位置に配置され、前記第3端子DQ(c)は上記第2端子DQ(b)と第4端子DQ(d)との間の前記第4端子DQ(d)に近い位置に配置される。

【0036】前記第1リードDQ0と前記第4リードDQ3は前記直線を挟んで対向する位置に配置され、前記第2リードDQ1と前記第3リードDQ2は前記直線を挟んで対向する位置に配置される。前記第1及び第2メモリチップはそれぞれ、前記第1及び第2端子のいずれか一方、例えば第1端子DQ(a)と、第3及び第4端子のいずれか一方、例えば第3端子DQ(c)とを用いて2ビット単位でデータ出力を行うことにより、合計4ビット単位で前記第1、第2、第3及び第4リードからデータ出力を行う。なお、第1図において下側のメモリチップには第2端子DQ(b)及び第4端子DQ(d)に対応する端子が描かれていないが、図面の煩雑さを避けるために記載を省略したものであり、実際は上側のチップと下側のチップは同様な構成とされ、各端子も対応して存在する。

【0037】ここで第1及び第2メモリチップはそれぞれ、2ビット単位でのデータ出力と4ビット単位でのデータ出力を選択することが可能であり、4ビット単位でデータ出力を行う場合には、前述の様に、第1端子DQ(a)、第2端子DQ(b)、第3端子DQ(c)及び第4端子DQ(d)が用いられる、これらの端子の上記の位置関係は、対応するリードの規格化された位置に応じて決められている。すなわち、互いに対応するリードと端子間をワイヤで接続する際、ワイヤの長さを短くしう様な位置関係に各端子が配置されている。言い換えると、第1リードDQ0と第4リードDQ3の近くに各メモリチップの第1端子DQ(a)と第2端子DQ(b)が配置され、第2リードDQ1と第3リードDQ2の近くに各メモリチップの第3端子DQ(c)及び第4端子DQ(d)が配置されている。

【0038】2ビット単位でのデータ出力の場合は、各メモリチップは上記4つのデータ端子のいずれか2つを任意の組み合わせで用いる事ができるが、本発明者の検討によれば、本実施例に示したように前記第1及び第2メモリチップはそれぞれ、前記第1及び第2端子のいずれか一方(例えば第1端子DQ(a))と、第3及び第4端子のいずれか一方(例えば第3端子DQ(c))とを

用いて2ビット単位の出力を行うことが好ましい事を見出した、

【0039】すなわち、第1メモリチップの第1端子DQ(a)と第3端子DQ(c)は、それぞれこれらの端子の近くに延びている第1リードDQ0と第2リードDQ1にそれぞれワイヤを用いて容易に接続できる。また、第1メモリチップの第1端子DQ(a)と第3端子DQ(c)は、それぞれこれらの端子の近くに延びている第4リードDQ3と第3リードDQ2にそれぞれワイヤを用いて容易に接続できる。

【0040】これに対して、第1端子DQ(a)と第2端子DQ(b)とを用いて各メモリチップから2ビット単位の出力を行うと、第1メモリチップについては、これらの端子の近くに延びている第1リードDQ0と第4リードDQ3にそれぞれワイヤを用いて容易に接続できる。しかし、第2メモリチップについては、第1端子DQ(a)と第2端子DQ(b)から遠く離れた第2リードDQ1と第3リードDQ2に接続しなければならない。この様に遠く離れたリードと端子とをワイヤで接続する事は、他のワイヤとのショートや、ワイヤの寄生容量の増加を招くので好ましくない。

【0041】信号線の寄生容量を低減する事は、信号伝達速度を改善するために重要である。そこで、図15に示した実施例のように、接続されないメモリチップへのデータ用リードを短くする事により、リードの寄生容量を低減する事が可能である。この実施例において、接続されないデータ用リードは、メモリチップの端部で切断されているが、かかる接続されないデータ用リードそのものを省略することも可能である。図16には、上記メモリチップとリードフレームとの関係を説明する平面図が示されており、メモリチップと各リードは、2つのメモリチップのうちの片方を示すものである。複数のリードのうち上記切断されるリードは、点線で囲まれたリードのようにサヤ抜けを防止するためにメモリチップに向かってアルファベットのT字状に形成される。

【0042】前記図1においては、第1リードDQ0が上側のメモリチップと下側のメモリチップに向かって分岐する箇所またはその先において切断する事が好ましい。また、製造当初から切断後の形状を有するリードを用いてもよい。すなわち、各データ用リードは、前記第1及び第2メモリチップに対する延長長さにおいて非対称な構成は、前記延長長さにおいて対称的な構成に対して、寄生容量低減による信号伝達速度の改善を図る事ができる。

【0043】図6には、この発明に係るメモリモジュールの一実施例の表面図が示され、図7には、上記メモリモジュールの裏面図が示されている。モジュール基板の表面側及び裏面側には、 $9 \times 2 (= 18)$ 個のようにマトリックス状に並べられて半導体記憶装置が搭載される。これらメモリモジュール基板の両面に搭載された全

体で36個からなる半導体記憶装置のそれぞれは、上記図1又は図5に示したような2つのメモリチップが積層構造にされて構成される。

【0044】上記 9×2 のようにマトリックス状に並べられた半導体記憶装置と、メモリモジュールの長手方向の一端側に設けられたコネクタ(接続電極)との間には、レジスタ、信号変換用の半導体集積回路装置及び安定化電源用のキャパシタ、各種抵抗素子等が搭載される。

10 【0045】図8には、図6及び図7のメモリモジュールの一実施例を示すブロック図が示されている。この実施例のメモリモジュールは、 $\times 2$ ビットのメモリチップが積層構造にされて等価的に $\times 4$ ビット構成にされた半導体記憶装置を複数個モジュール基板上に搭載して64ビットのメモリ装置を構成する。つまり、モジュール基板を挟んで両面に上記の半導体記憶装置が設けられ、メモリバンク(BANK)0と1を有するメモリ装置が構成される。

20 【0046】メモリバンク0と1は、上記図6と図7に示した9個の半導体記憶装置のそれぞれに対応している。つまり、メモリバンク0と1のデータ端子DQ0~DQ31及びパリティビットCB0~CB3を受け持つ9個の半導体記憶装置は、図6に示された 9×2 個に対応し、メモリバンク0と1のデータ端子DQ32~DQ64及びパリティビットCB4~CB7を受け持つ9個の半導体記憶装置は、図7に示された 9×2 個に対応している。このように、データ端子は、DQ0~DQ63の64ビット構成のメモリモジュールとされる。パリティビットとしてCB0~CB7の8ビットが設けられる。このため、この実施例に係るメモリモジュールが搭載される主基板において、上記メモリモジュールのコネクタが挿入されるソケットに接続されるデータバスは、72ビット構成とされる。

30 【0047】図9には、この発明に係るメモリモジュールを用いたメモリ装置を説明するための概略構成図が示されている。同図においては、複数のメモリモジュールを構成する実装基板の1つの辺に並んで形成されたコネクタ(接続電極)が図示しない主基板に設けられたソケットに差し込まれる状態に並べられる様子を示している。複数のメモリモジュールは、上記ソケットに対応して狭い間隔で並べられる必要があり、そのためにメモリモジュールに実装される半導体記憶装置の厚さを薄く形成することが重要なのである。この実施例では、図6及び図7の実施例のメモリモジュールとは異なり、モジュール基板上にメモリチップSDRAMが一列に並べられた例が示されている。

40 【0048】図10には、この発明に係る半導体記憶装置を用いたメモリモジュールの他の一実施例の要部断面図が示されている。この実施例では、2つのメモリチップを積層構造にし、しかも封止樹脂の厚さを薄くするた

めに、図5の実施例とは逆にメモリチップの裏面が外側を向くように積層構造にされる。このため、メモリチップの裏面は、封止の目的ではモールド樹脂は形成されない。このことは、半導体記憶装置の製造の過程においてメモリチップの裏面の一部又は全体に薄い封止樹脂が形成されてしまうことは妨げない。つまり、封止としての役割を持たせるために従来のように厚く封止樹脂を裏面にまで形成されなければならない。

【0049】本願発明において、半導体記憶装置の薄くするために、メモリチップの裏面を完全に露出させた状態にしなければならないというものではない。積層構造にされたメモリチップの裏面は、全体の厚みが薄く形成されるならその製造の過程において封止樹脂が裏面まで薄く形成されてしまうことを妨げないし、適当な絶縁性の塗料等を塗布するものであってもよい。あるいは、メモリチップの裏面に酸化膜を形成して絶縁性を持たせるものであってもよい。半導体基板の裏面をそのまま露出させておくことは、半導体記憶装置それ自体は問題ないが、電子装置に実装したときや、組み立て時に不所望な電氣的な接触を生じる可能性があるので、上記のように電氣的に絶縁させて置くようにすることが望ましい。

【0050】この実施例の半導体記憶装置は、メモリチップの裏面を外側にして素子が形成される表面側を互いに向かい合う形態にして積層構造にされている。このように図5の実施例とはメモリチップの向きをそれぞれ逆にしても裏面の封止樹脂が省略できることによっても、*

(表1)

	BOP0B	BOP1B	BOP2B	BOP3B
×2	VSS	Floating	—	—
×4	Floating	Floating	—	—
×8	VSS	VSS	—	—
×16	Floating	VSS	—	—
EDO	—	—	Floating	—
FP	—	—	VSS	—
4KR	—	—	—	Floating
8KR	—	—	—	VSS

【0054】表1は、本願発明に係る半導体記憶装置が約64Mビットのような記憶容量を持ち、EDO/FP品に適用した場合のボンディングオプションを行うためのパッド入力と機能の関係例である。4つのオプションパッドのうち、2パッドBOP0B、BOP1Bを用いて4通りのビット構成を切り替え、1パッドBOP2Bを

*実質的には図5の実施例と同様に半導体記憶装置の厚みを薄くすることができる。

【0051】図11には、この発明に係る半導体記憶装置の他の一実施例の要部断面図が示されている。この実施例の半導体記憶装置は、テープ（フレキシブル基板）にリードがプリントされ、それがメモリチップの表面に貼り付けられ、ワイヤバンプによりボンディングパッドに接続される。特に制限されないが、表面から側面にかけて封止樹脂が設けられ、裏面は上記図10で説明したような意味において実質的に樹脂封止されておらず露出し、全体としての厚みが薄く形成される。それ故、2つの半導体記憶装置を独立させたままモジュール基板上において積層構造にされる。

【0052】以上のように、本発明に係る半導体記憶装置では、メモリチップにおいて×2構成を加えることにより積層品で×4ビットからのビット構成を可能とするものである。またさらに本発明では×2、×4、×8、×16をすべてボンドオプションとすることにより、同一のウェーハ前工程で製作されたチップを組み立て段階の一部パッドの組み立てを違えるだけで展開可能とするものである。このようなボンドオプションとすることにより、ウェーハ前工程で作成されたメモリチップの量産化を図ることができ、低コスト化を促進することができる。

【0053】

用いてEDOとファーストページ（FP）の切り替えを行い、残り1パッドBOP3Bを用いて4Kリフレッシュ（4KR）と8Kリフレッシュ（8KR）の切り替えを行う。

【0055】

17
(表2)

18

EDO-FのDQパッドの並び

×16	8	7	9	6	10	5	11	4	12	3	13	2	14	1	15	0
×8		3	4			2	5			1	6			0	7	
×4										1	2			0	3	
×2										0					1	

【0056】表2は、DQピンの役割の関係である。×16ビットまでサポートするため16個のDQピンを有する。これらは×8、×4、×2になるに従いが不使用ピンが増えるが、これらの場合は開放（オープン）とすればよい。DQ1、DQ3、DQ13、DQ15は×4で用いるとともに、4DQ使用のパラレルテストの入出力ピンに用いられる。DQ15はあらゆる場合に使用される。すなわち×2ビットにおいても、EIAJテストにおいても使用される。

【0057】表1において、上記のオプションパッドのうち、2パッドBOP0B、BOP1B及び必要に応じて2パッドBOP2B、BOP3Bも外部端子に接続するようにしてもよい。この場合には、前記メモリモジュールに搭載した際、これらの外部端子に表1のような電圧を供給することにより、上記と同様にビット構成の設定が可能にされる。これにより、ユーザーにおいてメモリモジュールに搭載する際にデータ端子のビット構成を選択することができる。

【0058】図12には、この発明が適用されるダイナミック型RAMの一実施例の概略レイアウト図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、単結晶シリコンのような1個の半導体基板上において形成される。同図の各回路は、上記半導体基板上での幾何学的な配置にほぼ合わせて描かれている。この実施例では、メモリアレイは、全体として4個に分けられて、メモリバンク（Bank）0～3を構成するようにされる。

【0059】上記メモリバンク0～3は、半導体チップの長手方向に沿った上下に2個、左右に2個ずつに分割されたメモリアレイに対応される。上記チップの長手方向に沿った中央部分にアドレス入力回路、データ入出力回路及びボンディングパッド列からなる周辺回路PERIが設けられる。

【0060】図示しないが周辺回路PERIの例としては、昇圧電圧発生回路とその動作を制御する制御回路、SSTLのインターフェイスの場合には、外部電源電圧VDDQを1/2に分圧して、差動回路で構成された入力回路の参照電圧を形成する分圧回路、入出力回路とそのクロックコントロール回路、Yプリデコーダとリード／ライトバッファ、周辺回路の動作電圧を形成する降圧回路、VPP電圧が所望の電圧であるか否かを検出するVPPセンサ、Xアドレスラッチ回路、Yクロック回

路、モードデコーダ／クロックバッファとコマンド回路、Yカウンタとその制御回路、リフレッシュ制御回路、ボンディングオプション回路、電源投入検出回路等からなる。

【0061】上述のように半導体チップの長手方向に沿った上下に2個と、左右に2個ずつに分けられて合計4個からなる各メモリアレイにおいて、長手方向に対して左右方向の中間部にX系プリデコーダ回路ROWPDC及び救済回路ROWRED、Y系プリデコーダ回路COLPDC及び救済回路COLREDが纏めて配置される。つまり、上記4個のメモリアレイにそれぞれ対応して、上記X系プリデコーダ回路ROWPDC及び救済回路ROWRED、Y系プリデコーダ回路COLPDC及び救済回路COLREDが上記左右2個ずつ設けられたメモリアレイに対応して2組ずつ振り分けて設けられる。

【0062】上記メモリアレイの上記中間部分に沿って前記同様にメインワードドライバ領域MWDが形成されて、それぞれのメモリアレイに対応して下、上方側に延長するように設けられたメインワード線をそれぞれが駆動するようにされる。この構成では、前記同様なサブアレイを用いた場合には、16個のサブアレイを貫通するようにメインワード線が延長される。特に制限されないが、上記メモリアレイにおいて、上記チップ中央部分とは反対側のチップ周辺側にYデコーダYDCが設けられる。つまり、上記中央側に配置されたメインアンプMAと周辺側に配置されたYデコーダYDCとにより上記4分割されてなる各メモリアレイがそれぞれ挟まれるように配置されるものである。これらの4つのメモリアレイが、4つのメモリバンクに対応している。

【0063】上記のようにメモリバンクに対応した1つのメモリアレイがワード線方向に16個のサブアレイを持ち、それぞれから2対のメイン入出力線がサブアレイの間をビット線方向に延長されて、前記のように32個のメインアンプMAの入力端子に導かれる。これにより、前記のような×2、×4、×8及び×16通りのビット構成の切り換えが可能にされる。

【0064】この実施例においては、上記中央側に配置されたメインアンプMAと周辺側に配置されたYデコーダYDCとにより上記4分割されてなる各メモリアレイが挟まれるように配置される。上記メモリアレイは、その1つが拡大して示されているように、複数のサブア

レイ15に分割される。かかるサブアレイ15は、それを挟むように配置されたセンスアンプ領域16、サブワードドライバ領域17に囲まれて形成される。上記センスアンプ領域16と、上記サブワードドライバ領域17の交差部は交差領域18とされる。上記センスアンプ領域16に設けられるセンスアンプは、シェアードセンス方式により構成され、メモリセルアレイの両端に配置されるセンスアンプを除いて、センスアンプを中心にして左右に相補ビット線が設けられ、左右いずれかのメモリセルアレイの相補ビット線に選択的に接続される。

【0065】1つのサブアレイ15は、図示しないが例えば256本のサブワード線と、それと直交する256対からなる相補ビット線（又はデータ線）とにより構成される。なお、サブアレイには不良ワード線又は不良ビット線の救済のために予備のワード線及び予備の相補ビット線も設けられるものである。上記1つのメモリアレイにおいて、上記サブアレイがワード線の配列方向に16個設けられるから、全体としての上記サブワード線は約4K分設けられ、ビット線の配列方向に16個設けられるから、相補ビット線は全体として約4K分設けられるから、このようなメモリアレイが全体で4個設けられるから、全体では $4 \times 4K \times 4K = 64M$ ビットのような記憶容量を持つようにされる。

【0066】他の例として、1つのサブアレイ15は、図示しないが例えば512本のサブワード線と、それと直交する512対からなる相補ビット線（又はデータ線）とにより構成してもよい。上記同様にサブアレイには不良ワード線又は不良ビット線の救済のために予備のワード線及び予備の相補ビット線も設けられる。上記1つのメモリアレイにおいて、上記サブアレイがワード線の配列方向に16個設けられるから、全体としての上記サブワード線は約8K分設けられ、ビット線の配列方向に16個設けられるから、相補ビット線は全体として約8K分設けられる。このようなメモリアレイが全体で4個設けられるから、全体では $8 \times 8K \times 4K = 256M$ ビットのような記憶容量を持つようにされる。

【0067】上記のような階層ワード線方式を採ることにより、上記いずれの場合においても相補ビット線の長さが、上記16個のサブアレイに対応して1/16の長さに分割される。サブワード線は、上記16個のサブアレイに対応して1/16の長さに分割される。上記1つのメモリアレイの分割されたサブアレイ15毎にサブワードドライバ（サブワード線駆動回路）17が設けられる。サブワードドライバ17は、上記のようにメインワード線に対して1/16の長さに分割され、それと平行に延長されるサブワード線の選択信号を形成する。

【0068】この実施例では、メインワード線の数減らすために、言い換えるならば、メインワード線の配線ピッチを緩やかにするために、特に制限されないが、1

つのメインワード線に対して、相補ビット線方向に4本からなるサブワード線を配置させる。このようにメインワード線方向には8本に分割され、及び相補ビット線方向に対して4本ずつが割り当てられたサブワード線の中から1本のサブワード線を選択するために、メインワードドライバMWDには図示しないサブワード選択ドライバが配置される。このサブワード選択ドライバは、上記サブワードドライバの配列方向に延長される4本のサブワード選択線の中から1つを選択する選択信号を形成する。

【0069】図12のようなレイアウトを採用した場合において、Yアドレスが入力されると、アドレスバッファADDBUPを通して上記メモリアレイの中間部に設けられた救済回路、プリデコーダを介してチップの周辺側に配置されたYデコーダYDCに伝えられ、ここでY選択信号が形成される。上記Y選択信号より1つのサブアレイの相補ビット線が選択されて、それと反対側のチップ中央部側のメインアンプMAに伝えられ、増幅されて図示しない出力回路を通して出力される。

【0070】この構成は、一見すると信号がチップを引き回されて読み出し信号が出力されるまでの時間が長くなるように判断される。しかし、救済回路には、アドレス信号をそのまま入力する必要があるため、救済回路をチップ中央のいずれかに配置すると、不良アドレスであるか否かの判定結果をまってプリデコーダの出力時間が決定される。つまり、プリデコーダと救済回路とが離れていると、そこでの信号遅延が実際のY選択動作を遅らせる原因となる。

【0071】この実施例では、メモリアレイを挟んでメインアンプMAとYデコーダYDCが両側に配置されるため、サブアレイの相補ビット線を選択するための信号伝達経路と、選択された相補ビット線から入出力線を通してメインアンプMAの入力に至る信号伝達経路との和は、いずれの相補ビット線を選択しようともメモリアレイを横断するだけの信号伝達経路となって上記のように1往復するものの半分に短縮できるものである。これにより、メモリアクセスの高速化が可能になるものである。

【0072】上記のように4つのメモリアレイをそれぞれメモリバンクに対応させた場合、前記図5の実施例のように背中合わせで積層構造にしたとき、2つのメモリチップにおいて同時に動作させられるメモリアレイの位置が異なるようにされる。つまり、上記メモリチップの縦中央部に設けられる周辺回路PERIを挟んで2つのメモリアレイが選択される。これにより、発熱箇所を分散させることができるものとなる。

【0073】図13には、この発明に係るダイナミック型RAMのセンスアンプ部を中心にして、アドレス入力からデータ出力までの簡略化された一実施例の回路図が示されている。同図においては、2つのサブアレイ15

に上下から挟まれるようにされたセンスアンプ16と交差エリア18に設けられる回路が例示的に示され、他はブロック図として示されている。

【0074】ダイナミック型メモリセルは、上記1つのサブアレイ15に設けられたサブワード線SWLと、相補ビット線BL、BLBのうちの一方のビット線BLとの間に設けられた1つが代表として例示的に示されている。ダイナミック型メモリセルは、アドレス選択MOSFETQmと記憶キャパシタCsから構成される。アドレス選択MOSFETQmのゲートは、サブワード線SWLに接続され、このMOSFETQmのドレインがビット線BLに接続され、ソースに記憶キャパシタCsが接続される。記憶キャパシタCsの他方の電極は共通化されてプレート電圧VPLTが与えられる。上記MOSFETQmの基板(チャンネル)には負のバックバイアス電圧VBBが印加される。特に制限されないが、上記バックバイアス電圧VBBは、-1Vのような電圧に設定される。上記サブワード線SWLの選択レベルは、上記ビット線のハイレベルに対して上記アドレス選択MOSFETQmのしきい値電圧分だけ高くされた高電圧VPPとされる。

【0075】センスアンプを内部降圧電圧VDLで動作させるようにした場合、センスアンプにより増幅されてビット線に与えられるハイレベルは、上記内部電圧VDLレベルにされる。したがって、上記ワード線の選択レベルに対応した高電圧VPPは $VDL + V_{th} + \alpha$ にされる。センスアンプの左側に設けられたサブアレイの一方の相補ビット線BLとBLBは、同図に示すように平行に配置される。かかる相補ビット線BLとBLBは、シェアードスイッチMOSFETQ1とQ2によりセンスアンプの単位回路の入出力ノードと接続される。

【0076】センスアンプの単位回路は、ゲートとドレインとが交差接続されてラッチ形態にされたNチャンネル型の増幅MOSFETQ5、Q6及びPチャンネル型の増幅MOSFETQ7、Q8からなるCMOSラッチ回路で構成される。Nチャンネル型MOSFETQ5とQ6のソースは、共通ソース線CSNに接続される。Pチャンネル型MOSFETQ7とQ8のソースは、共通ソース線CSPに接続される。上記共通ソース線CSNとCSPには、それぞれパワースイッチMOSFETが接続される。

【0077】特に制限されないが、Nチャンネル型の増幅MOSFETQ5とQ6のソースが接続された共通ソース線CSNには、特に制限されないが、上記クロスエリア18に設けられたNチャンネル型のパワースイッチMOSFETQ14により接地電位に対応した動作電圧が与えられる。同様に上記Pチャンネル型の増幅MOSFETQ7とQ8のソースが接続された共通ソース線CSPには、上記内部電圧VDLを供給するNチャンネル型のパワースイッチMOSFETQ15が設けられる。上記のバ

ワースイッチMOSFETは、各単位回路に分散して設けるようにしてもよい。

【0078】上記Nチャンネル型のパワースイッチMOSFETQ14とQ15のゲートに供給されるセンスアンプ用活性化信号SANとSAPは、センスアンプの活性時にハイレベルにされる同相の信号とされる。信号SAPのハイレベルは昇圧電圧VPPレベルの信号とされる。昇圧電圧VPPは、VDLが1.8Vのとき、約3.6Vにされるので、上記Nチャンネル型MOSFETQ15を十分にオン状態にして共通ソース線CSPを内部電圧VDLレベルにすることができる。

【0079】上記センスアンプの単位回路の入出力ノードには、相補ビット線を短絡させるイコライズMOSFETQ11と、相補ビット線にハーフプリチャージ電圧VBLRを供給するスイッチMOSFETQ9とQ10からなるプリチャージ(イコライズ)回路が設けられる。これらのMOSFETQ9~Q11のゲートは、共通にプリチャージ信号PCBが供給される。このプリチャージ信号PCBを形成するドライバ回路は、図示しないが、上記クロスエリアにインバータ回路を設けて、その立ち上がりや立ち下がり的高速にする。つまり、メモリアクセスの開始時にワード線選択タイミングに先行して、各クロスエリアに分散して設けられたインバータ回路を通して上記プリチャージ回路を構成するMOSFETQ9~Q11を高速に切り替えるようにするものである。

【0080】上記クロスエリア18には、I/Oスイッチ回路IOSW(ローカルI/OとメインI/Oを接続するスイッチMOSFETQ19、Q20)が置かれる。さらに、図3に示した回路以外にも、必要に応じて、センスアンプのコモンソース線CSPとCSNのハーフプリチャージ回路、ローカル入出力線LIOのハーフプリチャージ回路、メイン入出力線のVDLプリチャージ回路、シェアード選択信号線SHRとSHLの分散ドライバ回路等も設けられる。

【0081】センスアンプの単位回路は、シェアードスイッチMOSFETQ3とQ4を介して図下側のサブアレイ15の同様な相補ビット線BL、BLBに接続される。例えば、上側のサブアレイのサブワード線SWLが選択されたときには、センスアンプの上側シェアードスイッチMOSFETQ1とQ2はオン状態に、下側シェアードスイッチMOSFETQ3とQ4とがオフ状態にされる。スイッチMOSFETQ12とQ13は、コラム(Y)スイッチ回路を構成するものであり、上記選択信号YSが選択レベル(ハイレベル)にされるとオン状態となり、上記センスアンプの単位回路の入出力ノードとローカル入出力線LIO1とLIO1B、LIO2、LIO2B等とを接続させる。

【0082】これにより、センスアンプの入出力ノードは、上記上側の相補ビット線BL、BLBに接続され

て、選択されたサブワード線SWLに接続されたメモリセルの微小信号を増幅し、上記カラムスイッチ回路(Q12とQ13)を通してローカル入出力線LIO1, LIO1Bに伝える。上記ローカル入出力線LIO1, LIO1Bは、上記センスアンプ列に沿って、つまり、同図では横方向に延長される。上記ローカル入出力線LIO1, LIO1Bは、クロスエリア18に設けられたNチャンネル型MOSFETQ19とQ20からなるIOスイッチ回路を介してメインアンプ61の入力端子が接続されるメイン入出力線MIO, MIOBに接続される。

【0083】上記IOスイッチ回路は、X系のアドレス信号を解釈して形成された選択信号よりスイッチ制御される。なお、IOスイッチ回路は、上記Nチャンネル型MOSFETQ19とQ20のそれぞれにPチャンネル型MOSFETを並列に接続したCMOSスイッチ構成としてもよい。シンクロナスDRAMのバーストモードでは、上記カラム選択信号YSがカウンタ動作により切り換えられ、上記ローカル入出力線LIO1, LIO1B及びLIO2, LIO2Bとサブアレイの二対ずつの相補ビット線BL, BLBとの接続が順次に切り換えられる。

【0084】アドレス信号Aiは、アドレスバッファ51に供給される。このアドレスバッファは、時分割的に動作してXアドレス信号とYアドレス信号を取り込む。Xアドレス信号は、プリデコーダ52に供給され、メインローデコーダ11とメインワードドライバ12を介してメインワード線MWLの選択信号が形成される。上記アドレスバッファ51は、外部端子から供給されるアドレス信号Aiを受けるものであり、外部端子から供給される電源電圧VDDQにより動作させられ、上記プリデコーダは、それを降圧した降圧電圧VPERI(VDD)により動作させられ、上記メインワードドライバ12は、昇圧電圧VPPにより動作させられる。このメインワードドライバ12として、上記プリデコード信号を受けるレベル変換機能付論理回路が用いられる。カラムデコーダ(ドライバ)53は、上記VCLP発生回路を構成するMOSFETQ23により動作電圧が形成される駆動回路を含み、上記アドレスバッファ51の時分割的な動作によって供給されるYアドレス信号を受けて、上記選択信号YSを形成する。

【0085】上記メインアンプ61は、前記降圧電圧VPERI(VDD)により動作させられ、外部端子から供給される電源電圧VDDQで動作させられる出力バッファ62を通して外部端子Doutから出力される。外部端子Dinから入力される書き込み信号は、入力バッファ63を通して取り込まれ、同図においてメインアンプ61に含まれるライトアンプ(ライトドライバ)を通して上記メイン入出力線MIOとMIOBに書き込み信号を供給する。上記出力バッファ62の入力部には、レベル

変換回路とその出力信号を上記クロック信号に対応したタイミング信号に同期させて出力させるための論理部が設けられる。

【0086】特に制限されないが、上記外部端子から供給される電源電圧VDDQは、第1の形態では3.3Vにされ、内部回路に供給される降圧電圧VPERI(VDD)は2.5Vに設定され、上記センスアンプの動作電圧VDLは1.8Vとされる。そして、ワード線を選択信号(昇圧電圧)は、3.6Vにされる。ビット線のプリチャージ電圧VBLRは、VDL/2に対応した0.9Vにされ、プレート電圧VPLTも0.9Vにされる。そして、基板電圧VBBは-1.0Vにされる。上記外部端子から供給される電源電圧VDDQは、第2の形態として2.5Vのような低電圧にされてもよい。このように低い電源電圧VDDQのときには、降圧電圧VPERI(VDD)と、降圧電圧VDLを1.8V程度と同じくしてもよい。

【0087】あるいは、外部端子から供給される電源電圧VDDQは3.3Vにされ、内部回路に供給される降圧電圧VPERI(VDD)とセンスアンプの動作電圧VDLとを同じく2.0V又は1.8Vのようにしてもよい。このように外部電源電圧VDDQに対して内部電圧は、種々の実施形態を探ることができる。

【0088】図14には、この発明が適用される約256MビットのシンクロナスDRAM(以下、単にSDRAMという)の一実施例の全体ブロック図が示されている。この実施例のSDRAMは、特に制限されないが、4つのメモリバンクのうちメモリバンク0を構成するメモリアレイ200Aとメモリバンク3を構成するメモリアレイ200Dが例示的に示されている。

【0089】つまり、4つのメモリバンクのうちの2つのメモリバンク1と2に対応したメモリアレイ200B、200Cが省略されている。4つのメモリバンク0~3にそれぞれ対応されたメモリアレイ200A~200Dは、同図に例示的に示されているメモリアレイ200Aと200Dのようにマトリクス配置されたダイナミック型メモリセルを備え、図に従えば同一列に配置されたメモリセルの選択端子は列毎のワード線(図示せず)に結合され、同一行に配置されたメモリセルのデータ入出力端子は行毎に相補データ線(図示せず)に結合される。

【0090】上記メモリアレイ200Aの図示しないワード線は行(ロウ)デコーダ201Aによるロウアドレス信号のデコード結果に従って1本が選択レベルに駆動される。メモリアレイ200Aの図示しない相補データ線はセンスアンプ及びカラム選択回路を含むI/O線202Aに結合される。センスアンプ及びカラム選択回路を含むI/O線202Aにおけるセンスアンプは、メモリセルからのデータ読出しによって夫々の相補データ線に現れる微小電位差を検出して増幅する増幅回路であ

る。それにおけるカラムスイッチ回路は、相補データ線を各別に選択して相補I/O線に導通させるためのスイッチ回路である。カラムスイッチ回路はカラムデコーダ203Aによるカラムアドレス信号のデコード結果に従って選択動作される。

【0091】メモリアレイ200Bないし200Dも同様に、メモリアレイ200Dに例示的に示されているようにロウデコーダ201D、センスアンプ及びカラム選択回路を含むI/O線202D、カラムデコーダ203Dが設けられる。上記相補I/O線はライトバッファ214A、Bの出力端子及びメインアンプ212A、Dの入力端子に接続される。上記メインアンプ212A、Dの出力信号は、ラッチ/レジスタ213の入力端子に伝えられ、このラッチ/レジスタ213の出力信号は、出力バッファ211を介して外部端子から出力される。

【0092】外部端子から入力された書き込み信号は、入力バッファ210を介して上記ライトバッファ214A、Dの入力端子に伝えられる。上記外部端子は、特に制限されないが、16ビットからなるデータD0-D15を出力するデータ入出力端子とされる。なお、上記省略されたメモリアレイ200BとCとに対応して、それぞれ上記同様なメインアンプ、ライトバッファが設けられる。

【0093】アドレス入力端子から供給されるアドレス信号A0-A13はカラムアドレスバッファ205とロウアドレスバッファ206にアドレスマルチプレクス形式で取り込まれる。256Mビットのような記憶容量を持つ場合、前記のように2ビット単位でのメモリアクセスを行うようにする場合には、アドレス信号A14を入力するアドレス端子が設けられる。×4ビット構成では、アドレス信号A11まで有効とされ、×8ビット構成ではアドレス信号A10までが有効とされ、×16ビット構成ではアドレス信号A9までが有効とされる。64Mビットのような記憶容量の場合には、×4ビット構成では、アドレス信号A10まで有効とされ、×8ビット構成ではアドレス信号A9までが有効とされ、そして図のように×16ビット構成ではアドレス信号A8までが有効とされる。

【0094】アドレス入力端子から供給されたアドレス信号はそれぞれのバッファが保持する。ロウアドレスバッファ206はリフレッシュ動作モードにおいてはリフレッシュカウンタ208から出力されるリフレッシュアドレス信号をロウアドレス信号として取り込む。カラムアドレスバッファ205の出力はカラムアドレスカウンタ207のプリセットデータとして供給され、列(カラム)アドレスカウンタ207は後述のコマンドなどで指定される動作モードに応じて、上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、カラムデコーダ203A~203Dに向けて出力する。

【0095】同図において点線で示したコントローラ209は、特に制限されないが、クロック信号CLK、クロックイネーブル信号CKE、チップセレクト信号/CS、カラムアドレスストローブ信号/CAS(記号/はこれが付された信号がロウイネーブルの信号であることを意味する)、ロウアドレスストローブ信号/RAS、及びライトイネーブル信号/WEなどの外部制御信号と、アドレス入力端子A0~A11からの制御データとが供給され、それらの信号のレベルの変化やタイミングなどに基づいてSDRAMの動作モード及び上記回路ブロックの動作を制御するための内部タイミング信号を形成するもので、モードレジスタ10、コマンドデコーダ20、タイミング発生回路30及びクロックバッファ40等を備える。

【0096】クロック信号CLKは、クロックバッファ40を介して前記説明したようなクロック同期回路50に入力され、内部クロックが発生される。上記内部クロックは、特に制限されないが、出力バッファ211、入力バッファ210を活性化するタイミング信号として用いられるとともに、タイミング発生回路30に供給され、かかるクロック信号に基づいて列アドレスバッファ205、行アドレスバッファ206及び列アドレスカウンタ207に供給されるタイミング信号が形成される。

【0097】他の外部入力信号は当該内部クロック信号の立ち上がりエッジに同期して有意とされる。チップセレクト信号/CSはそのロウレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号/CSがハイレベルのとき(チップ非選択状態)やその他の入力は意味を持たない。但し、後述するメモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。/RAS、/CAS、/WEの各信号は通常のDRAMにおける対応信号とは機能が相違し、後述するコマンドサイクルを定義するときには有意の信号とされる。

【0098】クロックイネーブル信号CKEは次のクロック信号の有効性を指示する信号であり、当該信号CKEがハイレベルであれば次のクロック信号CLKの立ち上がりエッジが有効とされ、ロウレベルのときには無効とされる。なお、リードモードにおいて、出力バッファ211に対するアウトプットイネーブルの制御を行う外部制御信号/OEを設けた場合には、かかる信号/OEもコントローラ209に供給され、その信号が例えばハイレベルのときには出力バッファ211は高出力インピーダンス状態にされる。

【0099】上記ロウアドレス信号は、クロック信号CLK(内部クロック信号)の立ち上がりエッジに同期する後述のロウアドレスストローブ・バンクアクティブコマンドサイクルにおけるA0~A11のレベルによって定義される。

【0100】アドレス信号A12とA13は、上記ロウ

アドレスストローブ・バンクアクティブコマンドサイクルにおいてバンク選択信号とみなされる。即ち、A12とA13の組み合わせにより、4つのメモリバンク0～3のうちの1つが選択される。メモリバンクの選択制御は、特に制限されないが、選択メモリバンク側のロウデコーダのみの活性化、非選択メモリバンク側のカラムスイッチ回路の全非選択、選択メモリバンク側のみの入力バッファ210及び出力バッファ211への接続などの処理によって行うことができる。

【0101】上記カラムアドレス信号は、前記のように256Mビットで×16ビット構成の場合には、クロック信号CLK（内部クロック）の立ち上がりエッジに同期するリード又はライトコマンド（後述のカラムアドレス・リードコマンド、カラムアドレス・ライトコマンド）サイクルにおけるA0～A9のレベルによって定義される。そして、この様にして定義されたカラムアドレスはバーストアクセスのスタートアドレスとされる。

【0102】次に、コマンドによって指示されるSDRAMの主な動作モードを説明する。

(1) モードレジスタセットコマンド (Mo)

上記モードレジスタ30をセットするためのコマンドであり、/CS、/RAS、/CAS、/WE＝ロウレベルによって当該コマンド指定され、セットすべきデータ（レジスタセットデータ）はA0～A11を介して与えられる。レジスタセットデータは、特に制限されないが、バーストレンジ、CASレイテンシ、ライトモードなどとされる。特に制限されないが、設定可能なバーストレンジは、1、2、4、8、フルページとされ、設定可能なCASレイテンシは1、2、3とされ、設定可能なライトモードは、バーストライトとシングルライトとされる。

【0103】上記CASレイテンシは、後述のカラムアドレス・リードコマンドによって指示されるリード動作において/CASの立ち下がりから出力バッファ211の出力動作までに内部クロック信号の何サイクル分を費やすかを指示するものである。読出しデータが確定するまでにはデータ読出しのための内部動作時間が必要とされ、それを内部クロック信号の使用周波数に応じて設定するためのものである。換言すれば、周波数の高い内部クロック信号を用いる場合にはCASレイテンシを相対的に大きな値に設定し、周波数の低い内部クロック信号を用いる場合にはCASレイテンシを相対的に小さな値に設定する。

【0104】(2) ロウアドレスストローブ・バンクアクティブコマンド (Ac)

これは、ロウアドレスストローブの指示とA12とA13によるメモリバンクの選択を有効にするコマンドであり、/CS、/RAS＝ロウレベル、/CAS、/WE＝ハイレベルによって指示され、このときA0～A9に供給されるアドレスがロウアドレス信号として、A12

とA13に供給される信号がメモリバンクの選択信号として取り込まれる。取り込み動作は上述のように内部クロック信号の立ち上がりエッジに同期して行われる。例えば、当該コマンドが指定されると、それによって指定されるメモリバンクにおけるワード線が選択され、当該ワード線に接続されたメモリセルがそれぞれ対応する相補データ線に導通される。

【0105】(3) カラムアドレス・リードコマンド (Re)

このコマンドは、バーストリード動作を開始するために必要なコマンドであると共に、カラムアドレスストローブの指示を与えるコマンドであり、/CS、/CAS＝ロウレベル、/RAS、/WE＝ハイレベルによって指示され、このときA0～A9（×16ビット構成の場合）に供給されるカラムアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストスタートアドレスとしてカラムアドレスカウンタ207に供給される。

【0106】これによって指示されたバーストリード動作においては、その前にロウアドレスストローブ・バンクアクティブコマンドサイクルでメモリバンクとそれにおけるワード線の選択が行われており、当該選択ワード線のメモリセルは、内部クロック信号に同期してカラムアドレスカウンタ207から出力されるアドレス信号に従って順次選択されて連続的に読出される。連続的に読出されるデータ数は上記バーストレンジによって指定された個数とされる。また、出力バッファ211からのデータ読出し開始は上記CASレイテンシで規定される内部クロック信号のサイクル数を待って行われる。

【0107】(4) カラムアドレス・ライトコマンド (Wr)

ライト動作の態様としてモードレジスタ10にバーストライトが設定されているときは当該バーストライト動作を開始するために必要なコマンドとされ、ライト動作の態様としてモードレジスタ10にシングルライトが設定されているときは当該シングルライト動作を開始するために必要なコマンドとされる。更に当該コマンドは、シングルライト及びバーストライトにおけるカラムアドレスストローブの指示を与える。

【0108】当該コマンドは、/CS、/CAS、/WE＝ロウレベル、/RAS＝ハイレベルによって指示され、このときA0～A9に供給されるアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストライトにおいてはバーストスタートアドレスとしてカラムアドレスカウンタ207に供給される。これによって指示されたバーストライト動作の手順もバーストリード動作と同様に行われる。但し、ライト動作にはCASレイテンシはなく、ライトデータの取り込みは当該カラムアドレス・ライトコマンドサイクルから開始される。

【0109】(5) プリチャージコマンド (Pr)

これはA12とA13によって選択されたメモリバンクに対するプリチャージ動作の開始コマンドとされ、/CS、/RAS、/WE=ロウレベル、/CAS=ハイレベルによって指示される。

【0110】(6) オートリフレッシュコマンド

このコマンドはオートリフレッシュを開始するために必要とされるコマンドであり、/CS、/RAS、/CAS=ロウレベル、/WE、CKE=ハイレベルによって指示される。

【0111】(7) バーストストップ・イン・フルページコマンド

フルページに対するバースト動作を全てのメモリバンクに対して停止させるために必要なコマンドであり、フルページ以外のバースト動作では無視される。このコマンドは、/CS、/WE=ロウレベル、/RAS、/CAS=ハイレベルによって指示される。

【0112】(8) ノーオペレーションコマンド (No p)

これは実質的な動作を行わないこと指示するコマンドであり、/CS=ロウレベル、/RAS、/CAS、/WEのハイレベルによって指示される。

【0113】SDRAMにおいては、1つのメモリバンクでバースト動作が行われているとき、その途中で別のメモリバンクを指定して、ロウアドレスストローブ・バンクアクティブコマンドが供給されると、当該実行中の一方のメモリバンクでの動作には何ら影響を与えることなく、当該別のメモリバンクにおけるロウアドレス系の動作が可能にされる。例えば、SDRAMは外部から供給されるデータ、アドレス、及び制御信号を内部に保持する手段を有し、その保持内容、特にアドレス及び制御信号は、特に制限されないが、メモリバンク毎に保持されるようになっている。或は、ロウアドレスストローブ・バンクアクティブコマンドサイクルによって選択されたメモリブロックにおけるワード線1本分のデータがコラム系動作の前に予め読み出し動作のためにラッチ/レジスタ213に保持されるようになっている。

【0114】したがって、例えば16ビットからなるデータ入出力端子においてデータD0-D15が衝突しない限り、処理が終了していないコマンド実行中に、当該実行中のコマンドが処理対象とするメモリバンクとは異なるメモリバンクに対するプリチャージコマンド、ロウアドレスストローブ・バンクアクティブコマンドを発行して、内部動作を予め開始させることが可能である。この実施例のSDRAMは、上記のように16ビットの単位でのメモリアクセスを行い、A0~A11のアドレスにより約4Mのアドレスを持ち、4つのメモリバンクで構成されることから、全体では約256Mビット(4M×4バンク×16ビット)のような記憶容量を持つようにされる。

【0115】上記の実施例から得られる作用効果は、下記の通りである。

(1) 2ビット単位でメモリアクセスが行われる2つのメモリチップの裏面を重ね合わせた状態で積層構造に組み立てて4ビット単位でのメモリアクセスを行うようにすることにより、薄いパッケージを用いつつ、使い勝手のよい半導体記憶装置を得ることができるという効果が得られる。

【0116】(2) 上記2つのメモリチップは、互いに裏面が接触するよう重ね合わせることににより、裏面の封止樹脂を封止の目的のためには不要であり、極力排除することができるからパッケージの薄型化を実現することができるという効果が得られる。

【0117】(3) 上記メモリチップは、複数のメモリバンクに分けられており、上記裏面が接触するように重ね合わされたとき、同じアドレスが割り当てられたメモリバンクのメモリチップ裏面での位置が異なるようにすることにより、発熱箇所を分散させることができるという効果が得られる。

【0118】(4) 上記2つのメモリチップは、互いに表面が向かい合うよう重ね合わされて上記封止樹脂が2つのメモリチップで挟まれた少なくとも表面と接触するよう形成することにより、パッケージの薄型化を実現することができるという効果が得られる。

【0119】(5) 上記2つのメモリチップは、それぞれが表面にテープ状態のリードが設けられ、裏面を除いて少なくとも上記表面部が上記封止樹脂と接触するようにすることによって積層にしつつ、その厚みを薄くすることができるという効果が得られる。

【0120】(6) 上記積層構造にされた2つのメモリチップを備えた半導体記憶装置の厚さは、その半分又は同等の記憶容量を有する1個メモリチップを有する半導体記憶装置の厚さと同等かそれ以下にすることにより、既存(汎用)の半導体記憶装置との置き換えを行うようにすることができるという効果が得られる。

【0121】(7) 上記メモリチップは、配線手段又はボンディングワイヤを用いて、その信号伝達経路又はそれとともに信号レベルの設定により、2ビット単位でのメモリアクセスを含んだ複数ビット単位による複数通りのデータ入出力を可能にする機能を持つようにすることにより、多品種からなるメモリチップを同一工程で形成できるから量産化を図ることができるという効果が得られる。

【0122】(8) 上記複数ビット単位を、2ビット単位、4ビット単位、8ビット単位及び16ビット単位の4通りにすることにより、2チップの積層構造を含めて一般的に広く用いられる4、8、16及び32ビット構成の半導体記憶装置を実質的に1種類のメモリチップで実現でき、しかも最大で1つのメモリチップの2倍の記憶容量を得ることができるという効果が得られる。

【0123】(9) 上記半導体記憶装置は、方形の樹脂封止パッケージの長手方向の両側面から延びるようリードを形成し、上記4ビットを第1端子ないし第4端子からなるデータ端子として、上記第1と第2端子と第3と第4端子とを方形の樹脂封止パッケージの両側に上記長手方向と平行な中心線に対して対称的な位置に分けて設け、上記2つのメモリチップを上記2ビットのデータ端子に対応された電極を上記第1端子と第2端子に対して電気的に接続することにより、2つのメモリチップのそれぞれのデータ端子を分離させて上記4つのデータ端子に対応させることができるという効果が得られる。

【0124】(10) 2ビット単位でメモリアクセスが行われる2つのメモリチップの裏面に封止樹脂が触れない状態で積層構造に組み立てて4ビット単位でのメモリアクセスを行うようにしてなる半導体記憶装置の複数個を、方形からなる1つの辺に沿って電極が形成されてなる実装基板上に設けることにより、単位体積当たりの記憶容量の増大と、高密度実装が可能なメモリモジュールを得ることができるという効果が得られる。

【0125】(11) 上記メモリモジュールの複数個を主基板上に平行に並んで配置される複数個のコネクタに上記電極を差し込むようにして用いるものとする事により、単位体積当たりの記憶容量の増大と、高密度実装を可能にすることができるという効果が得られる。

【0126】(12) 上記2つのメモリチップは、互いに裏面が接触するよう重ね合わされて2つのメモリチップの少なくとも表面に上記封止樹脂に接触するように形成することにより、汎用の半導体記憶装置と置き換えが可能で、かつ単位体積当たりの記憶容量の増大と、高密度実装を可能にすることができるという効果が得られる。

【0127】(13) 上記2つのメモリチップは、互いに表面が向かい合うよう重ね合わされて上記封止樹脂が2つのメモリチップの少なくとも表面に接触するように形成されることによって、汎用の半導体記憶装置と置き換えが可能で、かつ単位体積当たりの記憶容量の増大と、高密度実装を可能にすることができるという効果が得られる。

【0128】(14) 上記積層構造にされた2つのメモリチップの厚さを、その半分又は同等の記憶容量を有する汎用の1個の半導体記憶装置の厚さと同等かそれ以下にすることにより、汎用の半導体記憶装置を用いたものとの置き換えが可能で、かつ、記憶容量の増大と、高密度実装を可能にすることができるという効果が得られる。

【0129】(15) 上記半導体記憶装置は、外部端子に与えられる電圧の設定により、2ビット単位でのメモリアクセスを含んだ複数ビット単位による複数通りのデータ入出力を可能にする機能を設けることにより、メモリモジュールに搭載する際にデータ端子のビット構成

を選択することができるという効果が得られる。

【0130】(16) 上記複数ビット単位は、2ビット単位、4ビット単位、8ビット単位及び16ビット単位の4通りとすることにより、2チップの積層構造を含めて一般的に広く用いられる4、8、16及び32ビット構成のメモリモジュールを得ることができる。という効果が得られる。

【0131】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図12に示したダイナミック型RAMにおいてメモリアレイ、サブアレイ及びサブワードドライバの構成は、種々の実施形態を採ることができるし、ダイナミック型RAMの入出力インターフェイスは、シンクロナス仕様の他にランバス仕様等に適合したもの等種々の実施形態を採ることができるものである。ワード線は、前記のような階層ワード線方式の他にワードシャント方式を採るものであってもよい。

【0132】2つのメモリチップは、それぞれが半分の記憶エリアが有効とされる、いわゆるパーシャルチップの組み合わせから構成されてもよい。つまり、一部に不良が存在し、半分の記憶エリアに対してのみメモリアクセスが可能にされた2つのメモリチップを、前記のように積層構造に組み合わせて、1つの半導体記憶装置を構成するようにしてもよい。この場合において、1つのメモリチップで構成された良品の半導体記憶装置と、上記半分の記憶エリアしかメモリアクセスができない2つのメモリチップを組み合わせて、上記1つのメモリチップと外観的には同一の半導体記憶装置を構成することができる。

【0133】上記のように上記半分の記憶エリアしかメモリアクセスができない2つのメモリチップを組み合わせて、上記1つのメモリチップと外観的には同一の半導体記憶装置を構成する場合においても、上記2ビットの単位でメモリアクセスを行う機能は有効に利用できる。つまり、上記有効とされる半導体記憶装置のうち、同一のアドレスが割り当てられる記憶エリアが有効とされる2つのメモリチップを組み合わせて、4ビット単位でのメモリアクセスが可能な半導体記憶装置として動作させることができるからである。なお、8ビットや16ビット単位でのメモリアクセスが必要ななら、上記2つのメモリチップはそれぞれが4ビット構成あるいは8ビット構成とすればよい。

【0134】これとは逆に、上記有効とされる半導体記憶装置のうち、異なるアドレスが割り当てられる記憶エリアが有効とされる2つのメモリチップを組み合わせた場合に、アドレス信号により2つのメモリチップのうちいずれか一方にメモリアクセスが行われるので、上記2ビット単位でのメモリアクセスではなく、半導体記憶装

置が接続されるメモリモジュール等のバス幅に対応した4ビット、8ビットあるいは16ビットのような複数ビット単位でメモリアクセスが行われるようにすればよい。

【0135】半導体記憶装置は、前記のようなDRAMの他にスタティック型RAMやEPROM、あるいはEEPROMのような読み出し専用メモリであってもよい。この発明は、積層構造にされる各種半導体記憶装置及びメモリモジュールに広く利用できる。

【0136】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、2ビット単位でメモリアクセスが行われる2つのメモリチップの裏面を重ね合わせて積層構造に組み立てて4ビット単位でのメモリアクセスを行うようにすることにより、薄いパッケージを用いつつ、使い勝手のよい半導体記憶装置を得ることができる。

【0137】本願において開示される発明のうち他の代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、2ビット単位でメモリアクセスが行われる2つのメモリチップの裏面を重ね合わせて積層構造に組み立てて4ビット単位でのメモリアクセスを行うようにしてなる半導体記憶装置の複数個を、方形からなる1つの辺に沿ってコネクタ電極が形成されてなる実装基板上に設けることにより、単位体積当たりの記憶容量の増大と、高密度実装が可能なメモリモジュールを得ることができるという効果が得られる。

【図面の簡単な説明】

【図1】この発明に係る半導体記憶装置の一実施例を示す要部概略透視図である。

【図2】この発明に係る半導体記憶装置の積層構造にされる2つのメモリチップの一実施例を示す概略パターン図である。

【図3】この発明に係る半導体記憶装置の一実施例を示す上面図である。

【図4】この発明に係る半導体記憶装置の一実施例を示す出力系統図である。

【図5】この発明に係る半導体記憶装置を用いたメモリモジュールの一実施例を示す要部断面図である。

【図6】この発明に係るメモリモジュールの一実施例を示す表面図である。

【図7】この発明に係るメモリモジュールの一実施例を

示す裏面図である。

【図8】図6及び図7に示したメモリモジュールの一実施例を示すブロック図である。

【図9】この発明に係るメモリモジュールを用いたメモリ装置を説明するための概略構成図である。

【図10】この発明に係る半導体記憶装置を用いたメモリモジュールの他の一実施例を示す要部断面図である。

【図11】この発明に係る半導体記憶装置を用いたメモリモジュールの他の一実施例を示す要部断面図である。

10 【図12】この発明が適用されるダイナミック型RAMの一実施例を示す概略レイアウト図である。

【図13】この発明に係るダイナミック型RAMの一実施例を示す回路図である。

【図14】この発明が適用されるシンクロナスDRAMの一実施例を示す全体ブロック図である。

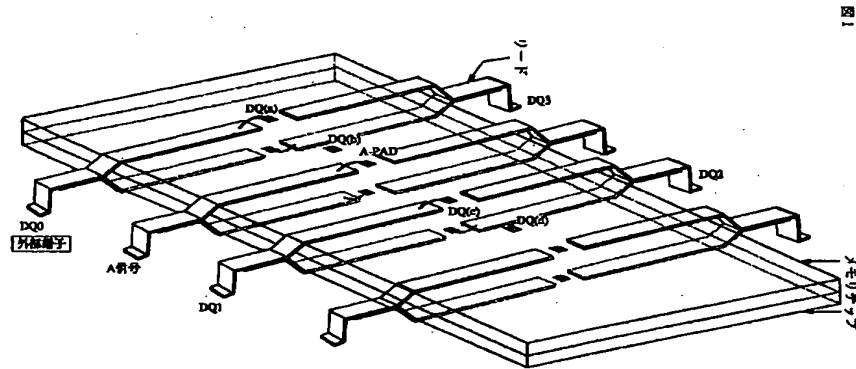
【図15】この発明に係る半導体記憶装置を用いたメモリモジュールの更に一実施例を示す要部断面図である。

20 【図16】この発明に係る半導体記憶装置における片方のメモリチップとリードフレームとの関係を説明するための平面図である。

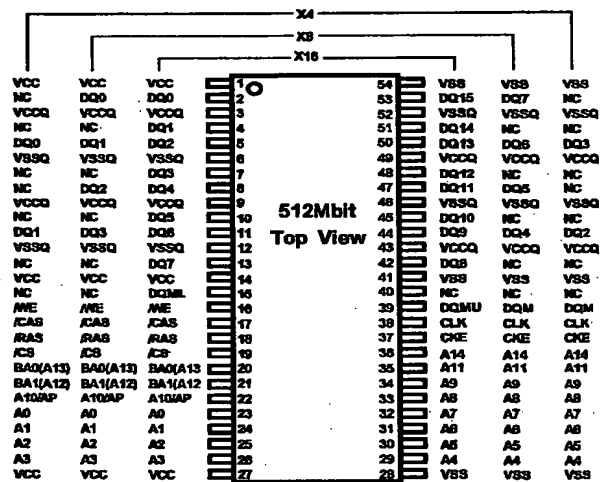
【符号の説明】

YDC…Yデコーダ、MA…メインアンプ、COLRED…Y系救済回路、COLPDC…Y系プリデコーダ、ROWRED…X系救済回路、ROWPDC…X系プリデコーダ、SA…センスアンプ、SWD…サブワードドライバ、MWD…メインワードドライバ、11、12…デコーダ、メインワードドライバ、15…サブアレイ、16…センスアンプ、17…サブワードドライバ、18…クロスエリア、51…アドレスバッファ、52…プリデコーダ、53…デコーダ、61…メインアンプ、62…出力バッファ、63…入力バッファ、10…モードレジスタ、20…コマンドデコーダ、30…タイミング発生回路、30…クロックバッファ、200A~200D…メモリアレイ、201A~201D…ロウデコーダ、202A~202D…センスアンプ及びカラム選択回路、203A~203D…カラムデコーダ、205…カラムアドレスバッファ、206…ロウアドレスバッファ、207…カラムアドレスカウンタ、208…リフレッシュカウンタ、209…コントローラ、210…入力バッファ、211…出力バッファ、212A~D…メインアンプ、213…ラッチ/レジスタ、214A~D…ライトバッファ。

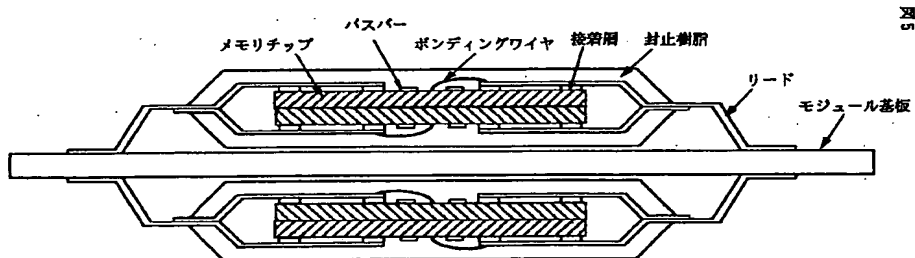
【図 1】



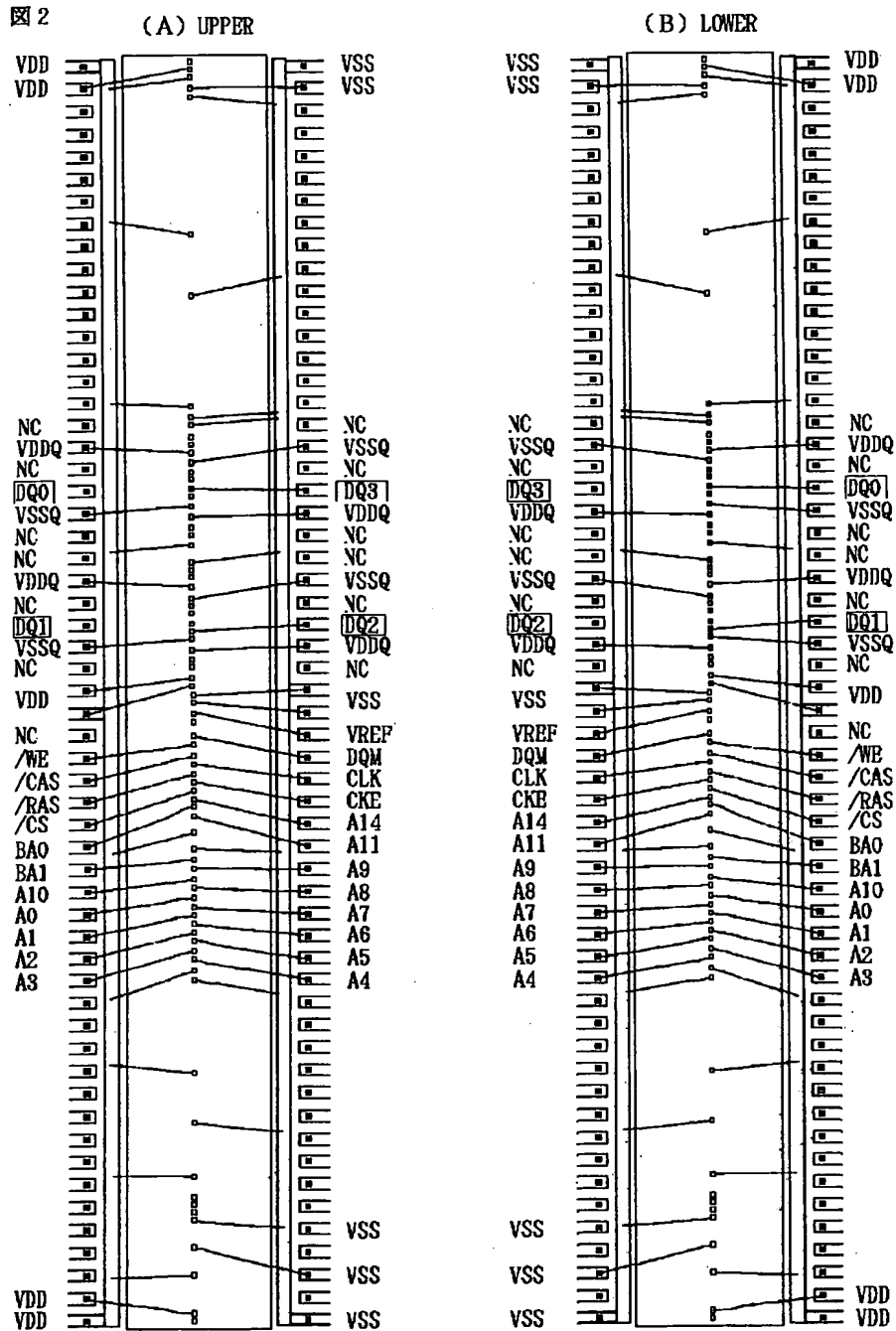
【図 3】



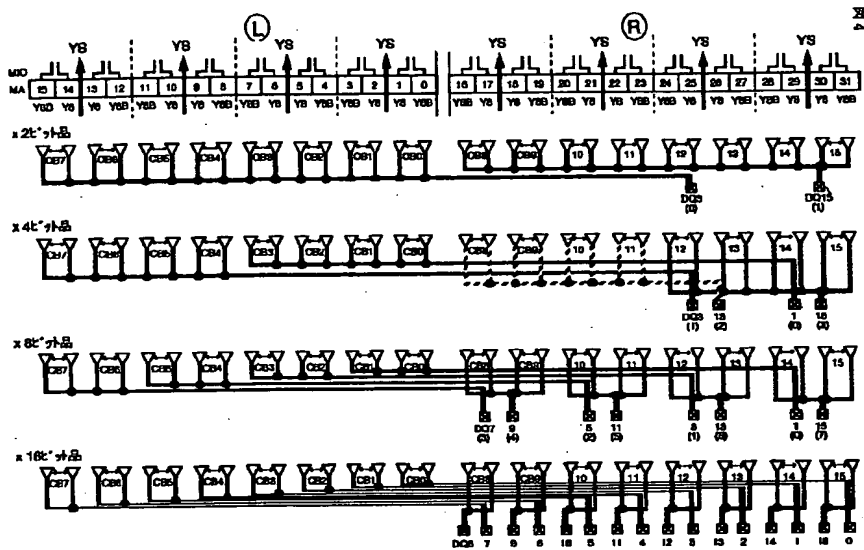
【図 5】



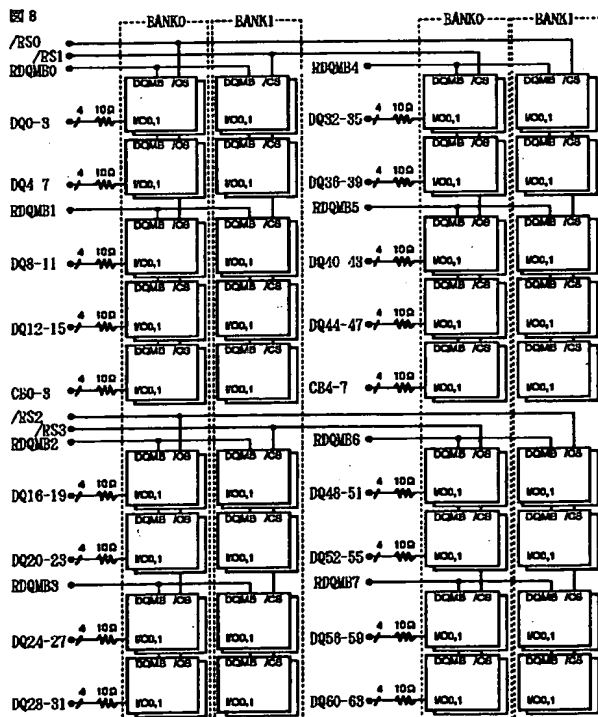
【図 2】



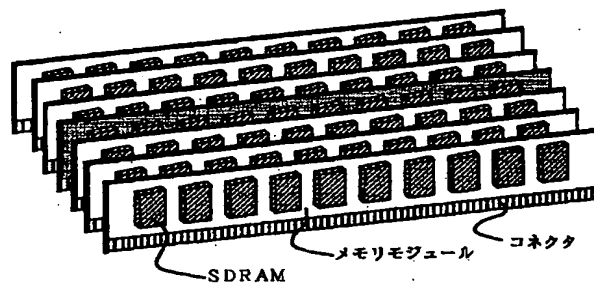
【図4】



【図8】

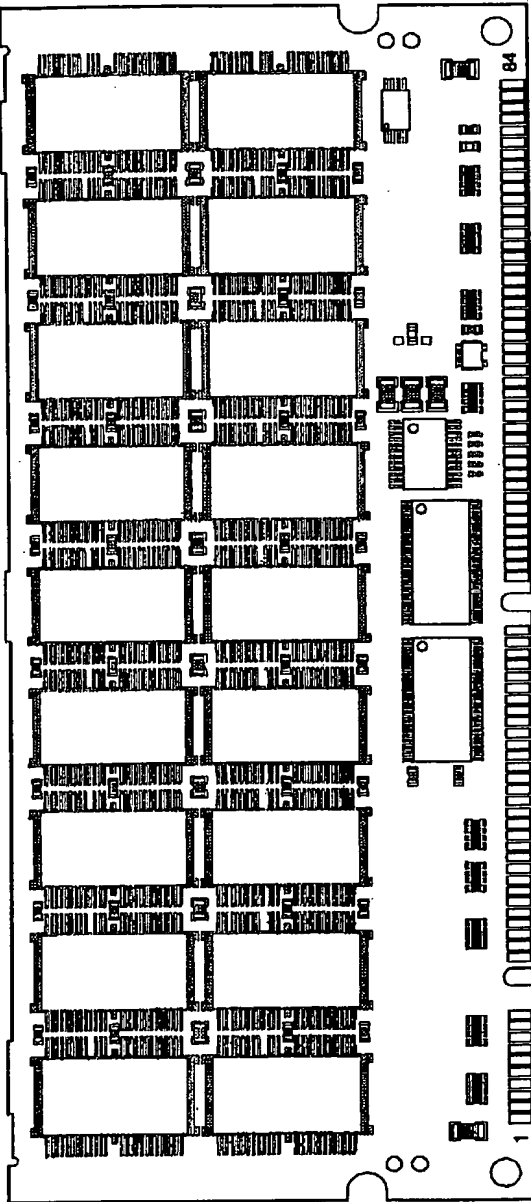


【図9】



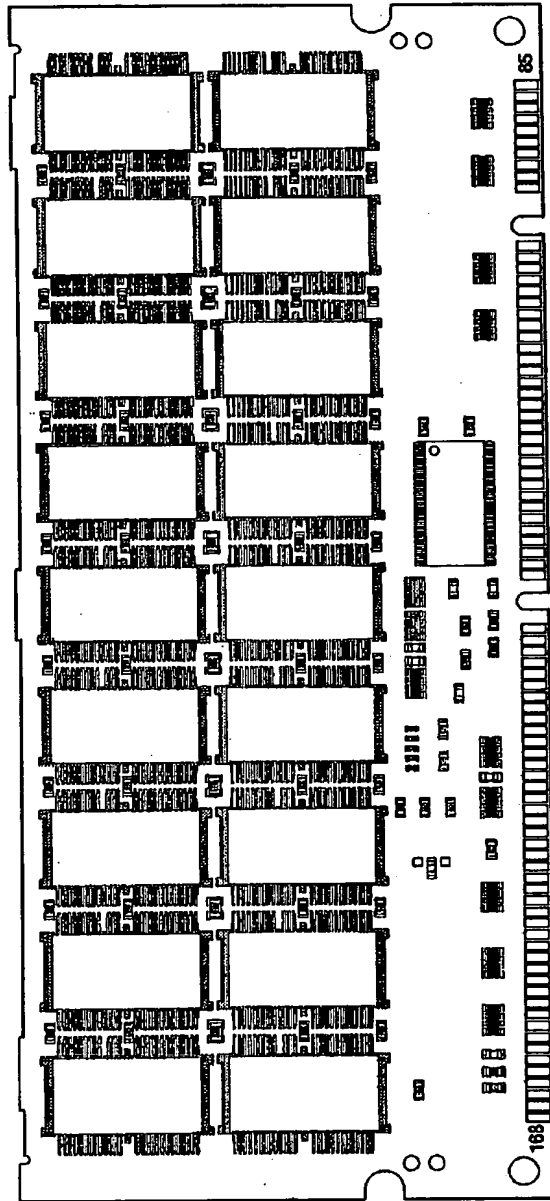
【図6】

図 6

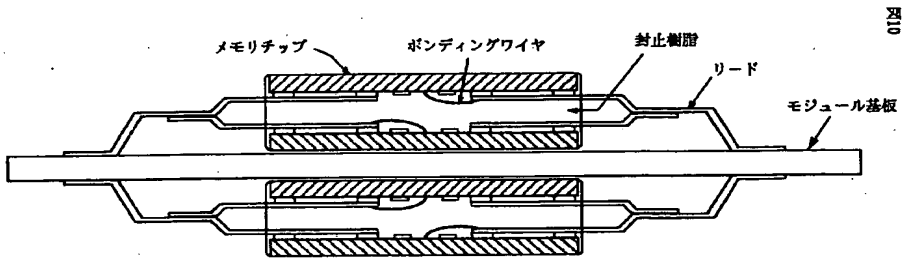


【図7】

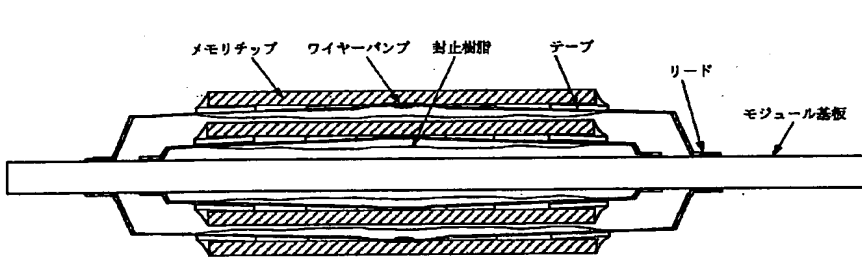
図 7



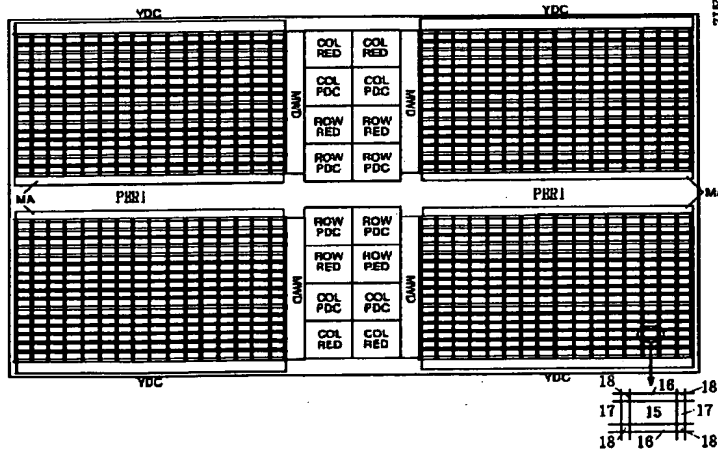
【図10】



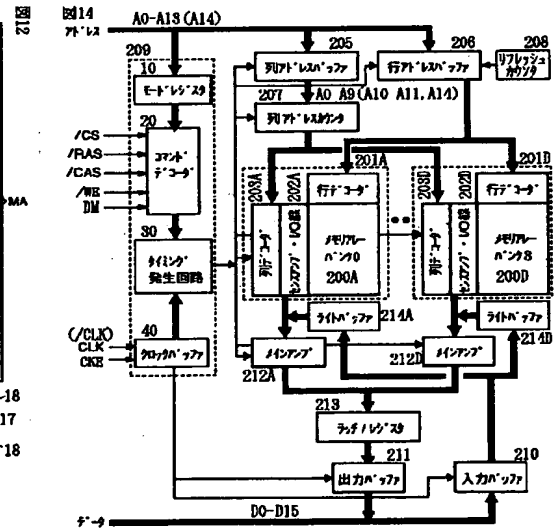
【図11】



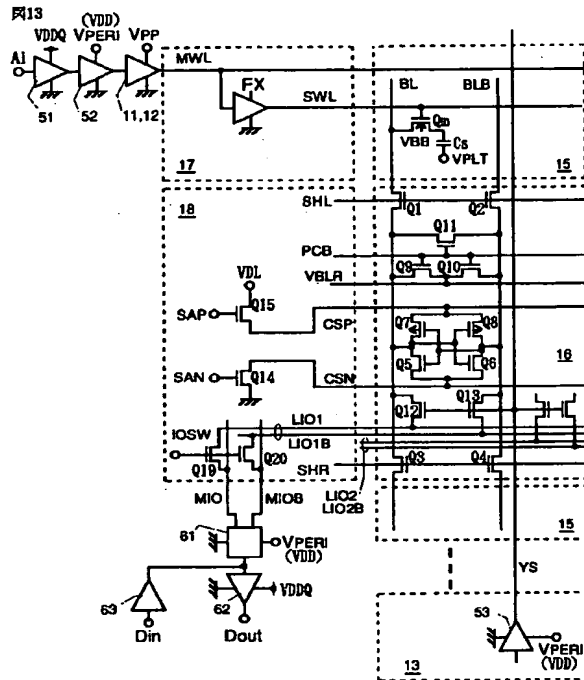
【図12】



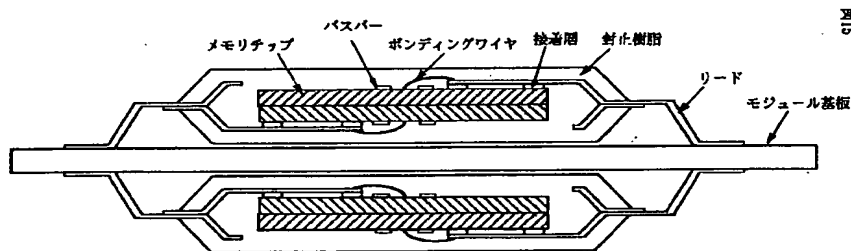
【図14】



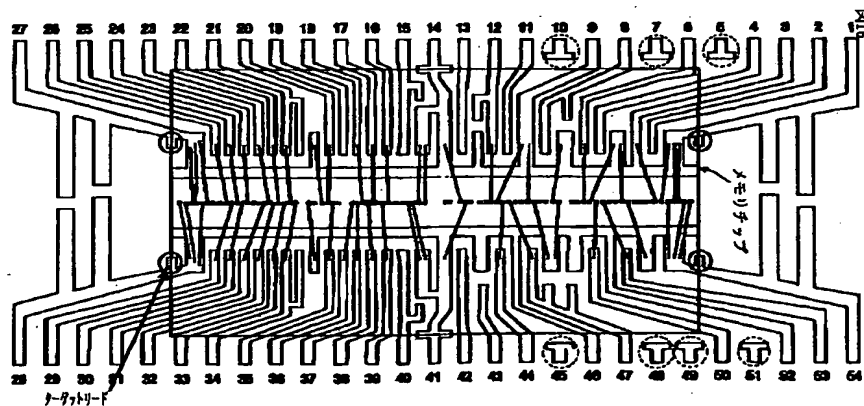
【図 13】



【図 15】



【図 16】



フロントページの続き

(72)発明者 川村 昌靖
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
(72)発明者 中村 淳
埼玉県入間郡毛呂山町大字旭台15番地 日
立東部セミコンダクタ株式会社内
(72)発明者 坂口 良寛
埼玉県入間郡毛呂山町大字旭台15番地 日
立東部セミコンダクタ株式会社内

(72)発明者 木下 嘉隆
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
(72)発明者 高橋 康
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
(72)発明者 井上 吉彦
東京都小平市上水本町5丁目22番1号 日
立超エル・エス・アイ・システムズ内
Fターム(参考) 5B024 AA07 CA21
5F083 AD00 LA30 ZA23

NOTICES

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A semiconductor memory which makes it the feature as two memory chips to which memory access is performed by 2 bitwises are closed in the condition that a rear face counters mutually and it comes to carry out memory access in 4 bitwises.

[Claim 2] The two above-mentioned memory chips are semiconductor memories with which it is piled up and united and becomes so that a rear face may contact mutually in claim 1, and the surface is characterized by thing in contact with resin for the closures of two memory chips at least.

[Claim 3] It is the semiconductor memory characterized by locations in a rear face of a memory chip of a memory bank to which the same address was assigned when it piled up so that the above-mentioned memory chip may be divided into two or more memory banks and the above-mentioned rear face may contact differing in claim 2, and coming to be made.

[Claim 4] Thickness of a semiconductor memory by which the laminating of the two above-mentioned memory chips was carried out in claim 1 thru/or either of 3, and the closure was carried out is a semiconductor memory with which one memory chip which has one half or equivalent storage capacity of that is characterized by equivalent [to thickness of a semiconductor memory by which the closure was carried out] or being less than [it].

[Claim 5] A memory chip by which the laminating was carried out [above-mentioned] in claim 1 thru/or either of 4 is a semiconductor memory characterized by coming to have a function which enables two or more kinds of data I/O by two or more bit unit including memory access in 2 bitwises by setup of the signal transduction path or signal level using a wiring means or a bonding wire.

[Claim 6] It is the semiconductor memory characterized by the above-mentioned two or more bitwises being four kinds, 2 bitwises, 4 bitwises, 8 bitwises, and 16 bitwises, in claim 5.

[Claim 7] In claim 2 or 3 the above-mentioned semiconductor memory A lead is formed so that it may extend from a both-sides side of a longitudinal direction of a rectangular resin seal package. The above-mentioned 4 bits It corresponds to a lead for data which consists of the 1st lead thru/or the 4th lead. The above 1st, a pair of the 2nd lead, the 3rd, and a pair of the 4th lead It is divided and prepared in a symmetrical location to a center line parallel to the above-mentioned longitudinal direction at both sides of a rectangular resin seal package. One memory chip of the two above-mentioned memory chips An electrode with which an electrode corresponding to a 2-bit data terminal was electrically connected to the 1st lead of the above and the 2nd lead, and a memory chip of another side corresponded to a 2-bit data terminal is the semiconductor memory characterized by coming to connect electrically to the 3rd lead of the above, and the 4th lead.

[Claim 8] It is the semiconductor memory with which the two above-mentioned memory chips are characterized by forming a lead of a tape condition for each in the surface, and the above-mentioned surface section contacting closure resin at least except for a rear face as two memory chips to which memory access is performed by 2 bitwises are assembled to a laminated structure and it comes to carry out memory access in 4 bitwises.

[Claim 9] Thickness of a semiconductor memory made into the above-mentioned laminated structure in

claim 8 is a semiconductor memory characterized by equivalent [to thickness of a semiconductor memory which consists of one memory chip which has one half or equivalent storage capacity of that] or being less than [it].

[Claim 10] It is the semiconductor memory characterized by coming to have a function which enables two or more kinds of data I/O by two or more bit unit in which each above-mentioned memory chip included memory access in 2 bitwises by setup of the signal transduction path or signal level in claim 8 using a wiring means or a bonding wire.

[Claim 11] It is the semiconductor memory characterized by the above-mentioned two or more bitwises being four kinds, 2 bitwises, 4 bitwises, 8 bitwises, and 16 bitwises, in claim 10.

[Claim 12] It has two memory chips by which the closure was carried out with a closure object where rear faces are piled up. The two above-mentioned memory chips It is divided into two or more memory areas, respectively. The two above-mentioned memory chips A semiconductor memory characterized by locations of a memory area by which memory access was performed and activation was carried out [above-mentioned] in a superposition side of the two above-mentioned memory chips by 4 bitwises by performing memory access by 2 bitwises from a memory area activated, respectively differing.

[Claim 13] It has the following. The 1st and 2nd memory chips of the above In each circuit forming face, are a straight line parallel to a long side of each memory chip, and it has the 1st, 2nd, 3rd, and 4th terminals for data output by which ***** arrangement was carried out in a straight line passing through a center section of the shorter side. The 2nd terminal of the above is arranged in a location near the 1st terminal of the above between the 1st terminal of the above, and the 3rd terminal. The 3rd terminal of the above is arranged in a location near the 4th terminal of the above between the 2nd terminal of the above, and the 4th terminal. The 1st lead of the above and the 4th lead of the above are arranged in a location which counters on both sides of the above-mentioned straight line. The 2nd lead of the above and the 3rd lead of the above are arranged in a location which counters on both sides of the above-mentioned straight line. The 1st and 2nd memory chips of the above A semiconductor memory characterized by performing data output by 4 bitwises from the 1st, 2nd, 3rd, and 4th leads of the above by performing data output by 2 bitwises using either of the 1st and 2nd terminals of the above, and either of the 3rd and 4th terminals, respectively. The 1st and 2nd memory chips A closure object closed where the rear faces of the 1st and 2nd memory chips of the above are piled up The 1st and 2nd leads prolonged within and without this closure object from the 1st side of the above-mentioned closure object The 3rd and 4th leads prolonged within and without this closure object from the 1st above-mentioned side and the 2nd side of the above-mentioned closure object which counters

[Claim 14] In claim 13 one terminal of the 1st and 2nd terminals of the above of the 1st memory chip of the above and one terminal of the 1st and 2nd terminals of the above of the 2nd memory chip of the above It connects with the 1st lead of the above, and the 4th lead of the above alternatively through a wire, respectively. A semiconductor memory characterized by connecting alternatively one terminal of the 3rd and 4th terminals of the above of the 1st memory chip of the above, and one terminal of the 3rd and 4th terminals of the above of the 2nd memory chip of the above to the 2nd lead of the above, and the 3rd lead of the above through a wire, respectively.

[Claim 15] It is the semiconductor memory which the 1st and 2nd memory chips are equipped with a configuration in which data output in 4 bitwises is possible respectively in claim 14, and is characterized by obtaining 4 above-mentioned bits data from the 1st, 2nd, 3rd, and 4th terminals of the above.

[Claim 16] Have the following and each lead for the addresses branches to two in the closure inside of the body. Each branched lead is delayed on the surface of the 1st and 2nd memory chips of the above, respectively. Each ** -DO for data It extends on one [at least] surface of the 1st and 2nd memory chips of the above, respectively. The 1st and 2nd memory chips of the above Have two or more address terminals and two or more data terminals on each surface, and common connection of each address terminals to which the 1st and 2nd memory chips of the above correspond is made through a branched lead for the addresses and a branched wire, respectively. Dissociate and each data terminal on the 1st memory chip of the above and each data terminal on the 2nd memory chip of the above are connected to each lead for data through a wire. A semiconductor memory characterized by performing data output

from the above-mentioned lead for data by 4 bitwises by performing data output by 2 bitwises from the 1st and 2nd memory chips of the above, respectively. The 1st and 2nd memory chips A closure object closed where the rear faces of the 1st and 2nd memory chips of the above are piled up Two or more leads for the addresses prolonged within and without the above-mentioned closure object Two or more leads for data prolonged within and without the above-mentioned closure object

[Claim 17] It is the semiconductor memory characterized by being unsymmetrical in extended length [on claim 16 and as opposed to the 1st and 2nd memory chips of the above in each lead for data].

[Claim 18] A semiconductor memory characterized by coming to have four kinds of data output, 2 bitwises, 4 bitwises, 8 bitwises, and 16 bitwises, a selectable memory chip by setup of the signal transduction path or signal level using a wiring means or a bonding wire.

[Claim 19] A memory module characterized by coming to prepare two or more semiconductor memories as close two memory chips to which memory access is performed by 2 bitwises in the condition that a rear face counters mutually and come to carry out memory access in 4 bitwises on a mounting substrate of a rectangle it comes to form an electrode along the one side.

[Claim 20] The two above-mentioned memory chips are memory modules which are piled up and set, become so that a rear face may contact mutually in claim 19, and are characterized by thing of the two above-mentioned memory chips for which resin for the closures is contacted on the surface at least.

[Claim 21] Thickness of a semiconductor memory by which the laminating of the two above-mentioned memory chips was carried out in claim 19 or 20, and the closure was carried out is a memory module with which one memory chip which has one half or equivalent storage capacity of that is characterized by equivalent [to thickness of a semiconductor memory by which the closure was carried out] or being less than [it].

[Claim 22] It is the memory module characterized by coming to have a function which enables two or more kinds of data I/O by two or more bit unit including memory access in 2 bitwises by setup of voltage on which the above-mentioned semiconductor memory is given to an external terminal in claim 19 or 20.

[Claim 23] It is the memory module characterized by the above-mentioned two or more bitwises being four kinds, 2 bitwises, 4 bitwises, 8 bitwises, and 16 bitwises, in claim 22.

[Claim 24] It is the memory module characterized by being what is inserted in two or more sockets which are located in a line in parallel [plurality of the above-mentioned memory module / each KONETAKU / on a substrate] in claim 19 thru/or either of 23, and by which it is arranged, respectively, and mounted in them.

[Claim 25] It is the memory module with which the two above-mentioned memory chips are characterized by forming a tape-like lead for each in the surface, and the above-mentioned surface section contacting closure resin at least except for a rear face as it is the memory module with which two or more semiconductor memories were mounted, two memory chips to which memory access in 2 bitwises is performed are assembled to a laminated structure and it comes to carry out memory access in 4 bitwises.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] About a semiconductor memory and a memory module, this invention is mainly used for the memory module using the general-purpose semiconductor memory and it like the dynamic mold RAM (random access memory), and relates to effective technology.

[0002]

[Description of the Prior Art] It became clear that there was JP,4-222989,A as what is considered to relate to this invention explained later by investigation after accomplishing this invention. In this official report, although it is devised so that the stress-distorted condition generated inside a chip by pyrexia at the time of actuation of the semiconductor integrated circuit equipment which closed two or more chips in one package may be equated with each chip, in the paragraph 0031 in it, the example which realizes two twice as many storage capacity as this using two memory chips is indicated. Publication of making thickness (the height direction) when seeing as one semiconductor memory like the invention in this application explained later into the general-purpose semiconductor memory and general-purpose EQC which have storage capacity equivalent to it, or making it into less than [it] is not found at all.

[0003]

[Problem(s) to be Solved by the Invention] If two memory chips are closed in the same package, realizing twice as many storage capacity as this is known with the above-mentioned official report etc. However, it will become a semiconductor memory special only by closing, when two or more chips are closed in one package in this way, and a use will be restricted. In order to enable it to use widely as a semiconductor memory, it is important to give an existing semiconductor memory and compatibility. With the semiconductor integrated circuit equipment of said official report, it is made a laminated structure so that the surface (principal plane) of a memory chip may face mutually, and since the height for performing wirebonding to which each makes connection with a lead in the surface of two chips is needed, the thickness of a package will become thick inevitably.

[0004] In a general-purpose semiconductor memory, since it is in the orientation for thin shape-ization of a package to be advanced, with the technology given [above-mentioned] in an official report, it will become difficult to realize thickness equivalent to the thickness of the general-purpose semiconductor memory which has storage capacity equivalent to it. In a semiconductor memory, in order to realize big storage capacity in small capacity, a semiconductor memory is mounted in both sides of a mounting substrate, and a memory module is constituted, and as the plurality of this memory module is inserted in two or more connectors arranged in parallel on the main board, it is used in many cases. In this case, the gap of two or more above-mentioned KONETAKU approaches as much as possible, and is arranged. So, when the thickness of the whole needs to be formed according to the pitch of above-mentioned KONETAKU at least and the thermal emission at the time of memory actuation is taken into consideration, as for the memory module, it is desirable for a gap to be between the above-mentioned memory modules.

[0005] In an invention-in-this-application person etc., when two memory chips are carried in one

package and twice as many storage capacity as this is realized as a result of the above examination, one has noticed it equivalent [to the existing semiconductor memory which carried the memory chip whose thickness of this package is one] or being very important to make it less than [it].

[0006] It is to offer the semiconductor memory which can form that thickness thinly, two memory chips being used for the purpose of this invention. They are to offer the semiconductor memory excellent in versatility, two memory chips being used for other purposes of this invention. The purpose of further others of this invention is to offer [increase of the storage capacity per unit volume, and] the memory module in which high density assembly is possible. other purposes of this invention may be user-friendly, and are to offer a memory module. The other purposes and the new feature will become clear from description and the accompanying drawing of this specification along [said] this invention.

[0007]

[Means for Solving the Problem] It will be as follows if an outline of a typical thing is briefly explained among invention indicated in this application. That is, a rear face of two memory chips where memory access is performed by 2 bitwises is piled up, and it assembles to a laminated structure, and is made to perform memory access in 4 bitwises.

[0008] It will be as follows if an outline of others and a typical thing is briefly explained among invention indicated in this application. That is, a rear face of two memory chips where memory access is performed by 2 bitwises is piled up, and it assembles to a laminated structure, and it consists of a rectangle, plurality of a semiconductor memory as comes to carry out memory access in 4 bitwises is carried on a mounting substrate with which it comes to form an electrode (KONETAKU) along the one side, and a memory module is constituted.

[0009]

[Embodiment of the Invention] The important section perspective drawing of one example of the semiconductor memory concerning this invention is shown in drawing 1 . Let two memory chips be laminated structures by confrontation in this example at the same package. That is, it is made for the rear-face side of a memory chip to face mutually, and it piles up so that the surface in which a bonding pad etc. is formed may turn to an outside. In order to make an understanding of invention easy, the part relevant to a data terminal is shown in this drawing in instantiation as a representative among a package and much leads required for a memory chip.

[0010] It considers as the technique of increasing a semiconductor memory simply, and the technology of carrying two memory chips in one package like a publication is in said official report. By 64 M bit DRAM, if the laminating of the two chips is carried out, x4, x8, and 64M chip with which x16 bit existed are assembled in one package, 128M bit can be realized and two chips will be similarly assembled for 256M bit in a package, 512M bit is realizable until now. Since these laminatings method can shorten a development cycle rather than it newly develops a single chip (128M bit or 512M bit), it is observed by the low-price use. However, even if it carries out a laminating in the bit pattern of the conventional single chip beyond x4, the number of bits can be realized more than x8, and it is inside ****. For this reason, by the above laminating methods, x 4-bit article can be built with 128M bit or 512M bit, and it is inside ****.

[0011] If two memory chips are moreover assembled in one package like said official report, even if the thickness of the whole package will become thick compared with the semiconductor memory which has storage capacity equivalent to it and it will make an external terminal an equivalent array when it carries in a memory module which is mentioned later, it comes out to double with the pitch of the connector assembled by high density, and it hears -- it becomes -- it becomes -- it puts in another way, if it becomes The problem that compatibility with the semiconductor memory which carried one memory chip in one package will be lost arises.

[0012] In the invention in this application, what is made to x2 bit pattern as a memory chip is made into 2 laminated structures, and the semiconductor memory of x4 bit pattern is constituted. In this case, in order to make thickness when assembling in the one above-mentioned package equivalent to the package carrying one chip, the device of joining the rear face of two memory chips is made. It is made not to be contacted as much as possible with this structure with the closure resin with which the rear face

of a memory chip constitutes a package. They attain thin shape-ization as collection storage of semiconductors, this differing greatly compared with what consists of conventional semiconductor integrated circuit equipment so that the whole which includes the rear face and the surface of a semiconductor chip for the purpose of the closure may contact closure resin, and a laminated structure being used for them by such device.

[0013] That is, in this example, by carrying out a memory chip back to back as mentioned above, the closure resin of a rear-face portion is decreased like conventional semiconductor integrated circuit equipment, and thickness of that part package can be made thin. Consequently, even if it arranges the lead of LOC (lead-on chip) structure to vertical both sides as shown in this drawing, and it connects it and BONDENINGUPADDO of a memory chip by the bonding wire and it dedicates two memory chips to one package, thickness of that package can be made equivalent to the thickness of the package in the semiconductor memory which has the existing equivalent storage capacity.

[0014] In such a laminated structure, the address terminal prepared in each memory chip by confrontation and a control terminal need to be connected in common [a corresponding lead] externally. For this reason, the relation between a lead and a bonding pad is constituted from two memory chips by right-and-left reverse. on the other hand -- if a data terminal connects in common what corresponds externally like the above address terminals -- x -- every 2 bits data will collide with an external terminal.

[0015] So, in this example, about an address terminal etc., mirroring is carried out and a lead and a bonding pad are connected by the top memory chip and bottom memory chip of the above-mentioned laminated structure. On the other hand, when two data terminals are seen from the principal plane of a memory chip, they are connected to two leads of the same side. That is, in the example of this drawing, the lead for data used as the external terminals DQ0 and DQ1 is prolonged in both a top memory chip and a bottom memory chip, a bottom lead is connected with the pad DQ of a top memory chip (a) through a wire at DQ (c), and, as for a bottom lead, connection ** does not have which pad of a bottom memory chip.

[0016] The lead for data used as the external terminals DQ3 and DQ2 is prolonged in both a top memory chip and a bottom memory chip, a bottom lead is connected with the pad DQ of a bottom memory chip (a) through a wire at DQ (c), and, as for a bottom lead, connection ** does not have which pad of a bottom memory chip. Pad DQ (b) and DQ (d) which are the same as for pad arrangement of the above-mentioned bottom memory chip and pad arrangement of a top memory chip, and were typically shown in the top memory chip are used with Above DQ (a) and DQ (c), when performing data output by 4 bitwises from one memory chip.

[0017] Therefore, DQ (b) and DQ (d) are not used in the example of drawing 1 . The lead of A signal is connected to pad A-PAD and B-PAD which are formed in each memory chip in the tip of both leads prolonged in a top memory chip and a bottom memory chip, and the same A signal is supplied common to both memory chips. The lead for data may cut the lead of the side which is not connected for I/O capacity reduction so that it may mention later.

[0018] Outline pattern drawing of one example of two memory chips made into the laminated structure of the semiconductor memory concerning this invention is shown in drawing 2 . The lead and bonding wire corresponding to an upper (UPPER) memory chip and it in this drawing (A) are shown, and the lead and bonding wire corresponding to a lower (LOWER) memory chip and it are shown in this drawing (B).

[0019] It is made for the memory chip of this example to have x2 bit pattern, x4 bit pattern, x8 bit pattern, and x16 bit pattern chosen by a metal option which is mentioned later, a bonding option, or its combination. As for the lead, the maximum number is shown so that it can respond to two or more kinds of these bit patterns. The lead in the case of having the storage capacity each memory chip of whose is 256M bit by x2 bit pattern, and the example of a bonding wire are shown by this example. Therefore, please understand that the lead to which the signal name is not given is a lead not existing by the memory of the above-mentioned x2 bit pattern.

[0020] a memory chip -- the longitudinal direction -- a bonding pad is mostly arranged in the shape of

about 1 straight line on a center line. The configuration which arranges such bonding BADD0 in one train makes a laminated structure two memory chips mentioned later by confrontation as mentioned above, and when the lead of an address terminal, a control terminal, etc. is communalized externally and it carries in one package, it serves as an array of a very useful bonding pad.

[0021] The signal name of the lead terminal of an upper memory chip and a lower memory chip is arranged in bilateral symmetry on a drawing except for the leads DQ0-DQ3 for data enclosed with having been square. For example, each lead arranged on the right-hand side of the top memory chip UPPER is in agreement with the lead ***** (ed) by the left-hand side which carried out mirroring on the basis of the center line of the longitudinal direction of a memory chip in the lower memory chip LOWER. On the contrary, each lead arranged on the left-hand side of the top memory chip UPPER is in agreement with the lead ***** (ed) by the right-hand side which carried out mirroring on the basis of the center line of the longitudinal direction of a memory chip in the lower memory chip LOWER.

[0022] What is necessary is to carry out a right-and-left inversion and just to arrange a bonding wire with a top and the down side, to a lead, when the bonding pad is located in a line with one train as mentioned above although the lead with which the same signal of the top memory chip UPPER and the bottom memory chip LOWER is supplied as mentioned above is arranged at right-and-left reverse. In drawing 2, a memory chip LOWER, its lead, and the array of a bonding wire are in agreement with what placed and copied out the mirror (mirror) on the right-hand side of the above-mentioned memory chip UPPER to a memory chip UPPER, its lead, and a bonding wire. However, about the above-mentioned leads DQ0-DQ3 for data, it connects with the right-hand side leads DQ3 and DQ2 in the top memory chip UPPER, and connects with the right-hand side leads DQ0 and DQ1 by the bottom memory chip LOWER. That is, although the location of the lead connected with the bonding pad by the side of a memory chip at it is the same, it is made for lead names to differ as mentioned above.

[0023] In this example, the lead of a pair is extended by the longitudinal direction of a memory chip, and it connects with the lead of supply voltage VDD and the touch-down potential VSS of a circuit at the vertical edge of a chip. it supplies supply voltage VDD and the touch-down potential VSS of a circuit suitably to a memory chip by low source impedance, this lead being used as a bus bar -- it is used. These bus bars VDD and VSS are also arranged by the top memory chip UPPER and the bottom memory chip LOWER with the gestalt which carried out [above-mentioned] mirroring.

[0024] When it is made a laminated structure by confrontation so that a rear face may join the memory chip of above ** 2, a corresponding lead is **** (ed) in up Shimoju and common connection of an address terminal or the control terminal is made, respectively. On the other hand, when every two lead makes it the above-mentioned laminated structure, it separates into right and left mutually, and it dissociates electrically mutually, and a data terminal is made like the x4 bit data terminals DQ0-DQ3.

[0025] The plan of one example of the semiconductor memory concerning this invention is shown in drawing 3. In this example, it carries in one package by making a 256M bit memory chip into product structure as mentioned above, and 512M bit storage capacity is held on the whole. In this example, the pin out in the case of considering as three kinds of bit patterns which consist of x4 bits, x8 bits, and x16 bits is shown by by making two memory chips into x2, x4, and x8 bit pattern, respectively.

[0026] In this example, the power supply terminal VCC supports the above-mentioned power lead VDD, and power supply terminals VCCQ and VSSQ are used for the above-mentioned bus bar as what supplies supply voltage VCC and the touch-down potential VSS of a circuit from these external terminals without connecting. Such supply voltage VCCQ and VSSQ is used as what supplies the operating voltage for output buffers. It prevents that the power supply noise generated in an output buffer spreads to other internal circuitries through said bus bar by this inside a semiconductor memory. By this, stabilization can be attained for actuation of an internal circuitry.

[0027] In this example, two 256M bit memory chips are carried in the standard package of 54 pins by confrontation, and, of course, also let thickness of a package be the thickness of a standard package.

[0028] The output schematic diagram of one example of the semiconductor memory concerning this invention is shown in drawing 4. Although not restricted, the example using the memory chip of 64M bit storage capacity is shown by especially this example, and the MEMORIARE location in normal

mode and the relation of DQ number are shown in it. It enables it to choose one in this example from four kinds of bit patterns, x 2-bit article, x 4-bit article, x 8-bit article, and x 16-bit article. The memory array corresponding to one memory bank is divided into 16 subarrays so that a memory array may be mentioned later, two pairs of Main input output lines (MIO) are prepared from each subarray, and 32 main amplifiers are prepared corresponding to Above MIO. The 16 above-mentioned subarrays [eight] are divided into each right and left (L/R).

[0029] In x 2-bit article, as Marks L and R showed, every [of MEMORIARE / a left right half] corresponds to DQ0 and DQ1, respectively. In this example, a selection signal YS is generated by address signals A0-A7, and a signal is outputted to 32 pairs of MIOs (Main input output line) from one memory bank. As for the 32 above-mentioned pairs of MIOs, 16 pieces are divided into each 2 sets, Left L and Right R, as mentioned above. In x 2-bit article, buffer circuit BC prepared 32 pieces corresponding to a main amplifier MA is divided into 2 sets corresponding to Above L and R, and is connected with the data terminal DQ3 (0) common to DQ15 (1).

[0030] By the column selection signal Y8 or Y8B formed of the address signal A8 Eight of every 16 above-mentioned main amplifiers are chosen. Furthermore, it lets the buffer circuit CB corresponding to address signal A9 which is not illustrated and the main amplifier MA by which a ** of one main amplifier MA was finally chosen from Above L and R at a time by A10 and A11, and selection was made [above-mentioned] pass. 2-bit data is outputted from an output terminal DQ3 (0) and DQ15 (1). Here, (0) and (1) show the terminal number at the time of x2 bit pattern. As for the following and this, the same is said of other bit patterns.

[0031] In x 4-bit article, the output line of the above-mentioned buffer circuit CB is divided into 4 sets. The address signal A11 which chooses a main amplifier MA is made to carry out an invalid (degeneracy) corresponding to it, and data read-out by 4 bitwises is performed. In x 8-bit article, the output line of a buffer circuit CB is divided into 8 sets, the address signals A11 and A10 which choose a main amplifier MA are made to carry out an invalid (degeneracy), and data read-out by 8 bitwises is performed. And in x 16-bit article, the output line of a buffer circuit CB is divided into 16 sets, the address signals A11 and A10 and A9 which choose a main amplifier MA are made to carry out an invalid (degeneracy), and data read-out by 8 bitwises is performed.

[0032] The important section cross section of one example of the memory module using the semiconductor memory concerning this invention is shown in drawing 5. The semiconductor memory with a very close memory chip is carried in both sides of a module substrate. A lead is pasted up through a glue line on a memory chip. With the extended direction of these leads, a glue line is formed thinly and, as for the bus bar extended in the direction of a right angle, the height is made lower than the above-mentioned lead. The margin of the height direction can be enlarged so that the wire which connects by this between selection of a lead and the bonding pads prepared in the surface of a memory chip may not contact the above-mentioned bus bar.

[0033] Although two memory chips are made into the laminated structure as mentioned above, since the semiconductor memory carried in both sides of a module substrate is formed so that rear faces may overlap, it can form the thickness of closure resin thinly. That is, the semiconductor memory of this example is the usual semiconductor memory with which only one memory chip is carried, it can form in the package of the same thickness as a semiconductor memory with the storage capacity of the one half of that, and the replacement with the memory module using the above-mentioned semiconductor memory becomes possible. If it is the same mounting volume, storage capacity is doubled, and if it is the same storage capacity, one half can be made to reduce a component-side product by replacement of such a memory module.

[0034] As the semiconductor memory concerning this invention attains to said drawing 1 and drawing 2 and is shown in drawing 5 The 1st lead DQ0 and the 2nd lead DQ1 which the closure is carried out where the rear faces of the 1st and 2nd memory chips (namely, memory chip of a top and the bottom) are piled up, and are prolonged within and without this closure object from the 1st side of a closure object, It has the 3rd lead DQ2 and the 4th lead DQ3 which are prolonged within and without this closure object from the 1st above-mentioned side and the 2nd side of said closure object which counters.

[0035] Said 1st and 2nd memory chips are set to each circuit forming face. The 1st terminal DQ for data output which is a straight line parallel to the long side of each memory chip, and has been arranged along with the straight line passing through the center section of the shorter side (a), Said 2nd terminal DQ (b) which has the 2nd terminal DQ (b), the 3rd terminal DQ (c), and the 4th terminal DQ (d) is arranged in the location near said 1st terminal DQ (a) of the question of the 1st terminal DQ of the above (a), and the 3rd terminal DQ (c). Said 3rd terminal DQ (c) is arranged in the location near said 4th terminal DQ (d) of the question of the 2nd terminal DQ of the above (b), and the 4th terminal DQ (d).

[0036] Said 1st lead DQ0 and said 4th lead DQ3 are arranged in the location which counters said straight line by ****, and said 2nd lead DQ1 and said 3rd lead DQ2 are arranged in the location which counters on both sides of said straight line. Said 1st and 2nd memory chips perform data output by a total of four bitwises from said 1st, 2nd, 3rd, and 4th leads by performing data output by 2 bitwises using either DQ of said 1st and 2nd terminals, for example, the 1st terminal, (a), and the either DQ of the 3rd and 4th terminals, for example, 3rd terminal, (c), respectively. In addition, although the terminal corresponding to the 2nd terminal DQ (b) and the 4th terminal DQ (d) is not drawn on the lower memory chip in drawing 1, in order to avoid the complicatedness of a drawing, a publication is omitted, it considers as the same configuration, and in practice, each terminal also corresponds and an upper chip and a lower chip exist.

[0037] The 1st and 2nd memory chips can choose the data output in 2 bitwises, and the data output in 4 bitwises respectively here. When performing data output by 4 bitwises, the above-mentioned physical relationship of these terminals for which the 1st terminal DQ (a), the 2nd terminal DQ (b), the 3rd terminal DQ (c), and the 4th terminal DQ (d) are used is decided as mentioned above according to the location where the corresponding lead was standardized. That is, in case between terminals is connected with the lead which corresponds mutually with a wire, each terminal is arranged at the physical relationship which can shorten the length of a wire. In other words, the 1st terminal DQ (a) and the 2nd terminal DQ (b) of each memory chip are arranged near the 1st lead DQ0 and the 4th lead DQ3, and the 3rd terminal DQ (c) and the 4th terminal DQ (d) of each memory chip are arranged near the 2nd lead DQ1 and the 3rd lead DQ2.

[0038] In the case of the data output in 2 bitwises, although each memory chip can use any two of the four above-mentioned data terminals in the combination of arbitration As shown in this example, according to examination of this invention person, said 1st and 2nd memory chips, respectively Either of said 1st and 2nd terminals (for example, the 1st terminal DQ (a)), [0039] to which outputting 2 bitwises using either of the 3rd and 4th terminals (for example, the 3rd terminal DQ (c)) found out the desirable thing Namely, the 1st terminal DQ (a) and the 3rd terminal DQ (c) of the 1st memory chip use a wire for the 1st lead DQ0 and the 2nd lead DQ1 which have been prolonged near these terminals, respectively, respectively, and can connect it to them easily. Moreover, the 1st terminal DQ (a) and the 3rd terminal DQ (c) of the 1st memory chip use a wire for the 4th lead DQ3 and the 3rd lead DQ2 which have been prolonged near these terminals, respectively, respectively, and can connect it to them easily.

[0040] On the other hand, if 2 bitwises are outputted from each memory chip using the 1st terminal DQ (a) and the 2nd terminal DQ (b), about the 1st memory chip, a wire is used for the 1st lead DQ0 and the 4th lead DQ3 which have been prolonged near these terminals, respectively, and it can connect with them easily. However, it must connect with the 2nd lead DQ1 and the 3rd lead DQ2 which separated distantly [terminal / 1st terminal DQ (a) and / DQ / (b) / 2nd] about the 2nd memory chip. Thus, since short-circuit with other wires and the increment in the parasitic capacitance of a wire are caused, it is not desirable to connect with a wire the lead which separated distantly, and a terminal.

[0041] It is important to reduce the parasitic capacitance of a signal line in order to improve signal transduction speed. Then, it is possible to reduce the parasitic capacitance of a lead by shortening the lead for data of memory CHITSUPUHE which is not connected like the example shown in drawing 15 . In this example, although the lead for data which is not connected is cut at the edge of a memory chip, it is also possible to omit this lead for data itself that is not connected. The plan explaining the relation between the above-mentioned memory chip and a leadframe is shown in drawing 16 , and a memory

chip and each lead show one of the two of the two memory chips. Among two or more leads, the above-mentioned lead by which cutting is carried out is formed in the shape of [of the alphabet] T character toward a memory chip, in order to prevent a spread omission like the lead surrounded by the dotted line. [0042] In said drawing 1, the part where the 1st lead DQ0 branches toward an upper memory chip and a lower memory chip, or its thing [setting previously and cutting] is desirable. Moreover, the lead which has a configuration after cutting from the time of manufacture may be used. That is, in extended length [as opposed to said 1st and 2nd memory chips in each Li 1 DO for data], an unsymmetrical configuration can do ** which aims at an improvement of the signal transduction speed by parasitic capacitance reduction to a symmetrical configuration in said extended length.

[0043] Surface drawing of one example of the memory module concerning this invention is shown in drawing 6, and rear-face drawing of the above-mentioned memory module is shown in drawing 7. It is arranged in the shape of a matrix like 9x2 (= 18 pieces), and a semiconductor memory is carried in a surface [of a module substrate], and rear-face side. Two memory chips as shown in above-mentioned drawing 1 or drawing 5 are made into a laminated structure, and each of the semiconductor memory which consists of 36 pieces by the whole carried in both sides of these memory module substrate is constituted.

[0044] Between the semiconductor memory arranged in in the shape of a matrix like the above 9x2, and the connector (connection electrode) prepared in the end side of the longitudinal direction of a memory module, a register, the semiconductor integrated circuit equipment for signal transformation and the capacitor for regulated power supplies, various resistance elements, etc. are carried.

[0045] The block diagram showing drawing 6 and one example of the memory module of drawing 7 is shown in drawing 8. The memory module of this example carries two or more semiconductor memories with which the x2 bit memory chip was made into the laminated structure, and was made into x4 bit pattern equivalent in a module substrate, and constitutes a 64-bit memory apparatus. That is, on both sides of a module substrate, the above-mentioned semiconductor memory is formed in both sides, and the memory apparatus which has memory banks (BANK) 0 and 1 is constituted.

[0046] Memory banks 0 and 1 support each of nine semiconductor memories shown in above-mentioned drawing 6 and drawing 7. That is, nine semiconductor memories which take charge of the data terminals DQ0-DQ31 and parity bits CB0-CB3 of memory banks 0 and 1 correspond to 9x2 pieces shown in drawing 6, and nine semiconductor memories which take charge of the data terminals DQ32-DQ64 and parity bits CB4-CB7 of memory banks 0 and 1 support 9x2 pieces shown in drawing 7. Thus, let a data terminal be the memory module of 64 bit patterns of DQ0-DQ63. 8 bits of CB0-CB7 are prepared as a parity bit. For this reason, let the data bus connected to the socket in which the connector of the above-mentioned memory module is inserted be 72 bit patterns in the main substrate in which the memory module concerning this example is carried.

[0047] The outline block diagram for explaining the memory apparatus using the memory module concerning this invention to drawing 9 is shown. In this drawing, signs that it is arranged by the condition of being inserted in the socket prepared in the main substrate which KONETAKU (connection electrode) formed together with the one side of the mounting substrate which constitutes two or more memory modules does not illustrate are shown. It is important for two or more memory modules to form thinly the thickness of the semiconductor memory which needs to be put in order at a narrow gap corresponding to the above-mentioned socket, therefore is mounted in a memory module. Unlike the memory module of the example of drawing 6 and drawing 7, the example with which the memory chip SDRAM was compared by the single tier is shown to the MEJURU substrate by this example.

[0048] The important section cross section of other one example of the memory module using the semiconductor memory concerning this invention is shown in drawing 10. In this example, in order to make two memory chips into a laminated structure and to make thickness of closure resin thin moreover, it is carried out to the example of drawing 5 at a laminated structure so that the rear face of a memory chip may turn [reverse] to an outside. For this reason, for the purpose of the closure, mold resin is not formed for the rear face of a memory chip. It does not bar this that thin closure resin will be formed in a part or the whole of a memory chip on the back in the process of manufacture of a semiconductor

memory. That is, it is good, if closure resin is not thickly formed even in a rear face like before in order to give a role of the closure.

[0049] In the invention in this application, in order a semiconductor memory is thin and to carry out, it is not having to change the rear face of a memory chip into the condition of having made it exposing completely. The rear face of the memory chip made into the laminated structure may not prevent resin from being thinly closure formed to a rear face in the process of the manufacture, if the whole thickness is formed thinly, and it may apply a suitable insulating coating etc. Or an oxide film may be formed in the rear face of a memory chip, and insulation may be given. As for exposing the rear face of a semiconductor substrate as it is, it is desirable to make it insulate electrically as mentioned above, and to make it place in itself [semiconductor-memory], since electric contact [**** / un-] may be produced at the time of mounting in an electronic instrument and the time of an assembly, although it is satisfactory.

[0050] The semiconductor memory of this example makes the surface side in which the rear face of a memory chip is ****ed outside and an element is formed the gestalt which faces mutually, and is made into the laminated structure. Thus, even if the example of drawing 5 is reverse respectively, as well as the example of drawing 5 when closure resin on the back can abbreviate the sense of a memory chip to it, thickness of a semiconductor memory can be substantially made thin.

[0051] The important section cross section of other one example of the semiconductor memory concerning this invention is shown in drawing 11 . A lead is printed on a tape (flexible substrate), it is stuck on the surface of a memory chip, and the semiconductor memory of this example is connected to a bonding pad by the wire bump. Although not restricted especially, it applies to the side from the surface and closure resin is prepared, in semantics which was explained by above-mentioned drawing 10 , the resin seal of the rear face is not carried out substantially, but it is exposed, and the thickness as the whole is formed thinly. So, while two semiconductor memories had been made to become independent, it is made a laminated structure on a module substrate.

[0052] As mentioned above, in the semiconductor memory concerning this invention, the bit pattern from x4 bit is made possible with a laminate by adding x2 configuration in a memory chip. Furthermore, in this invention, expansion is made possible only by assembling the chip manufactured at the same production process before a wafer, and changing the assembly of gradual - section pad by making all of x2, x4, x8, and x16 into a bond option. By considering as such a bond option, fertilization of the memory chip created at the production process before a wafer can be attained, and low cost-ization can be promoted.

[0053]
(表1)

	BOP0B	BOP1B	BOP2B	BOP3B
×2	VSS	Floating	—	—
×4	Floating	Floating	—	—
×8	VSS	VSS	—	—
×16	Floating	VSS	—	—
EDO	—	—	Floating	—
FP	—	—	VSS	—
4KR	—	—	—	Floating
8KR	—	—	—	VSS

[0054] the semiconductor memory which a table 1 requires for the invention in this application -- about 64 -- it is the related example of the pad input and function for performing the bonding option at the

time of having storage capacity like M bits and applying to an EDO/FP article. Four kinds of bit patterns are changed among four option pads using two pad BOP0B and BOP1B, the change of EDO and a first page (FP) is performed using 1 pad BOP2B, and the change of 4K refresh (4KR) and 8K refresh (8KR) is performed using remainder 1 pad BOP3B.

[0055]

(表2)

EDO-FのDQパッドの並び

×16	8	7	9	6	10	5	11	4	12	3	13	2	14	1	15	0
×8		3	4			2	5			1	6			0	7	
×4										1	2			0	3	
×2										0					1	

[0056] A table 2 is the relation of the role of DQ pin. In order to support to x16 bit, it has 16 DQ pins. although ** of a **** use pin increases for these to be set to x8, x4, and x2 -- these cases -- disconnection (opening) -- then, it is good. It is used for the I/O pin of the parallel test of 4DQ use while 15 use by DQ1, DQ3, DQ13, and DQ x4. In all cases, DQ15 is used. That is, also in x2 bit, it is used also in an EIAJ test.

[0057] You may make it also connect 2 pad BOP2B and BOP3B to an external terminal among the above-mentioned option pads in a table 1 two pad BOP0B, BOP1B, and if needed. In this case, when carried in said memory module, a setup of a bit pattern is enabled like the above by supplying voltage as shown in a table 1 to these external terminals. Thereby, in case it carries in a memory module in a user, the bit pattern of a data terminal can be chosen.

[0058] The outline layout pattern of one example of the dynamic mold RAM with which this invention is applied is shown in drawing 12. Each circuit block of this drawing is formed on one semiconductor substrate like single crystal silicon of the manufacturing technology of a well-known semiconductor integrated circuit. Each circuit of this drawing is drawn almost to compensate for the geometric arrangement on the above-mentioned semiconductor substrate. A memory array is divided into four pieces as a whole, and it is made to have this example memory banks (Bank) 0-3 consist of.

[0059] The above-mentioned memory banks 0-3 correspond to the memory array in alignment with the longitudinal direction of a semiconductor chip divided into two pieces at a time up and down at two pieces and right and left. The circumference circuit PERI which becomes a part for the center section in alignment with the longitudinal direction of the above-mentioned chip from an address input circuit, a data I/O circuit, and a bonding pad train is formed.

[0060] Although not illustrated, as an example of the circumference circuit PERI In the interface of a pressure-up voltage generating circuit, the control circuit which controls the actuation, and SSTL The partial pressure circuit which forms the reference voltage of the input circuit which pressured the external power voltage VDDQ partially to one half, and consisted of differential circuits, An I/O circuit, its clock control circuit, Y PURIDE coder and a read/write buffer, The pressure-lowering circuit which forms the operating voltage of a circumference circuit, the VPP sensor which detects whether VPP voltage is desired voltage, It consists of X address latch circuit, Y clock circuit, a mode decoder / clock buffer and a command circuit, the Y tin uta and its control circuit, a refresh control circuit, a bonding option circuit, a powering-on detector, etc.

[0061] In each memory array which met the longitudinal direction of a semiconductor chip as mentioned above and which is divided into right and left at a time by two pieces, and becomes two pieces from a total of four pieces up and down, to a longitudinal direction, X system Puri decoder circuit ROWPDC and the relief circuit ROWRED, Y system Puri decoder circuit COLPDC, and the relief circuit COLRED collect into the pars intermedia of a longitudinal direction, and are arranged in it. That is, respectively corresponding to the four above-mentioned memory arrays, corresponding to the memory

array prepared two above-mentioned right and left at a time, the above-mentioned X system Puri decoder circuit ROWPDC and the relief circuit ROWRED, Y system Puri decoder circuit COLPDC, and the relief circuit COLRED distribute 2 sets respectively, and are prepared.

[0062] It is made for each to drive said main word line prepared so that the main word driver field MWD might be formed similarly and it might extend to the bottom and an upper part side corresponding to each memory array along with the above-mentioned interstitial segment of the above-mentioned memory array. With this configuration, when said same ZABUAREI is used, a main word line is extended so that 16 subarrays may be penetrated. Although not restricted especially, in the above-mentioned memory array, the Y decoder YDC is formed in the chip circumference side of the opposite side in a part for the above-mentioned chip center section. that is, each memory array the main amplifier MA arranged at the above-mentioned central site and the Y decoder YDC arranged at the circumference side come [a memory array / above-mentioned] to carry out quadrisection -- respectively -- ** Mr.

**** -- it is arranged like. These four memory arrays support four memory banks.

[0063] One memory array corresponding to a memory bank has 16 subarrays in the direction of a word line as mentioned above, two pairs of Maine input output lines are extended in the direction of a bit line in between subarrays from each, and it is led to the input terminal of 32 main amplifiers MA as mentioned above. Thereby, a switch of a bit pattern (the above x2, x4, x8, and x16 kind) is enabled.

[0064] each memory array the main amplifier MA arranged at the above-mentioned central site and the Y decoder YDC arranged at the circumference side come [a memory array / above-mentioned] to carry out quadrisection in this example -- ** Mr. **** -- it is arranged like. The above-mentioned memory array is divided into two or more subarrays 15 as one of them is expanded and it is shown. This subarray 15 is surrounded and formed in the sense amplifier field 16 and the subWORD driver field 17 which have been arranged so that it may be inserted. Let the intersection of the above-mentioned sense amplifier amplifier field 16 and the above-mentioned subWORD driver field 17 be the crossover field 18. It is constituted by the shared sense method, a complementary bit line is formed in right and left centering on a sense amplifier except for the sense amplifier arranged to the both ends of a memory cell array, and the sense amplifier formed in the above-mentioned sense amplifier field 16 is alternatively connected to the complementary bit line of the memory cell array of one of right and left.

[0065] Although one subarray 15 does not illustrate, it is constituted by 256 sub word lines and the complementary bit line (or data line) which consists of 256 pairs which intersect perpendicularly with it. In addition, a spare word line and a spare complementary bit line are also formed in a subarray for relief of a defect word line or a defect bit line. In the one above-mentioned memory array, since the above-mentioned sub word line as the whole is formed by about 4 K since the above-mentioned subarray is prepared in the 16 array directions of a word line, and it is prepared in the 16 array directions of a bit line, a complementary bit line is formed by about 4 K as a whole. Since such a memory array is prepared by the four whole, on the whole, storage capacity like $4 \times 4K \times 4K = 64M$ bit is held.

[0066] As other examples, although one subarray 15 does not illustrate, 512 sub word lines and the complementary bit line (or data line) which consists of 512 pairs which intersect perpendicularly with it may constitute it. A spare word line and a spare complementary bit line are also formed in a subarray like the above for relief of a defect word line or a defect bit line. In the one above-mentioned memory array, since the above-mentioned sub word line as the whole is formed by about 8 K since the above-mentioned subarray is prepared in the 16 array directions of a word line, and it is prepared in the 16 array directions of a bit line, a complementary bit line is formed by about 8 K as a whole. Since such a memory array is prepared by the four whole, on the whole, storage capacity like $8 \times 8K \times 4K = 256M$ bit is held.

[0067] taking the above hierarchy word line methods -- the above -- in the case of which, the length of a complementary bit line is divided at 1/16 of length corresponding to the 16 above-mentioned subarrays. A sub word line is divided into 1/16 of length corresponding to the 16 above-mentioned subarrays. The subWORD driver (sub word line drive circuit) 17 is formed every subarray 15 by which the one above-mentioned memory array was divided. The subWORD driver 17 is divided into 1/16 of length to a main word line as mentioned above, and forms the selection signal of the sub word line extended by it and

parallel.

[0068] Although it will not be especially restricted in this example in order to make the wiring pitch of a main word line loose if it puts in another way in order to reduce the number of main word lines, the sub word line which consists of four in the direction of a complementary bit line is arranged to one main word line. Thus, in order to choose one sub word line from the sub word lines with which it was divided into eight in the direction of a main word line, and four were assigned at a time to the direction of a complementary bit line, the subWORD selection driver which is not illustrated is arranged at the main word driver MWD. This subWORD selection driver forms the selection signal which chooses one from four subWORD selection lines extended in the array direction of the above-mentioned subWORD driver.

[0069] If Y address is inputted when a layout like drawing 12 is adopted, it will be told to the relief circuit established in the pars intermedia of the above-mentioned memory array through the address buffer ADDBUP, and the Y decoder YDC arranged through a PURIDE coder at the circumference side of a chip, and Y selection signal will be formed here. The complementary bit line of one subarray is chosen from the above-mentioned Y selection signal, and it is outputted through the output circuit which it is told to the main amplifier MA by the side of the chip center section of it and the opposite side, it is amplified, and is not illustrated.

[0070] A glimpse of this configuration judges it that time amount until a signal has a chip taken about, and reads and a signal is outputted becomes long. However, since it is necessary to input an address signal as it is, if a relief circuit is arranged to either of the centers of a chip, it will wait for the judgment result of whether to be the defect address in a relief circuit, and will decide on the output time amount of a PURIDE coder as it. That is, if the PURIDE coder and the relief circuit are separated, signal delay there will become the cause of delaying actual Y selection actuation.

[0071] In this example, although the sum of the signal transduction path for choosing the complementary bit line of a subarray and the signal transduction path from the selected complementary bit line to the input of a main amplifier MA through an input output line serves as a signal transduction path which crosses a memory array and it goes to and comes back one time as mentioned above even if it chooses which complementary bit line, since a main amplifier MA and the Y decoder YDC are arranged on both sides of a memory array at both sides, it can be shortened in one half. Thereby, improvement in the speed of memory access is attained.

[0072] When four memory arrays are made to correspond to a memory bank as mentioned above, respectively and it is made a laminated structure by confrontation like the example of said drawing 5, it is made for the locations of the memory array operated by coincidence in two memory chips to differ. That is, two memory arrays are chosen across the circumference circuit PERI established in the vertical center section of the above-mentioned memory chip. Thereby, an exoergic part can be distributed.

[0073] The circuit diagram of one example where it was simplified from an address input to data output focusing on the sense amplifier section of the dynamic mold RAM concerning this invention is shown in drawing 13. In this drawing, the sense amplifier 16 with which it was made to be inserted from the upper and lower sides at two subarrays 15, and the circuit established in the crossover area 18 are shown in instantiation, and others are shown as a block diagram.

[0074] The dynamic mold memory cell is shown in [one prepared between the sub word line SWL formed in the one above-mentioned subarray 15, and one bit line BL of the complementary bit lines BL and BLB] instantiation as a representative. A dynamic mold memory cell consists of address selection MOSFETQm and a storage capacitor Cs. The gate of address selection MOSFETQm is connected to the sub word line SWL, the drain of this MOSFETQm is connected to a bit line BL, and the storage capacitor Cs is connected to the source. The electrode of another side of the storage capacitor Cs is communalized, and plate voltage VPLT is given. The negative back bias voltage VBB is impressed to the substrate (channel) of Above MOSFETQm. Although not restricted especially, the above-mentioned back bias voltage VBB is set as voltage like -1V. Let selection level of the above-mentioned sub word line SWL be the high voltage VPP made high by the threshold voltage of the above-mentioned address selection MOSFETQm to the high level of the above-mentioned bit line.

[0075] When it is made to operate a sense amplifier on the internal pressure-lowering voltage VDL, the high level which is amplified by the sense amplifier and a bit line is given is made into the above-mentioned internal voltage VDL level. Therefore, the high voltage VPP corresponding to the selection level of the above-mentioned word line is made into $VDL + V_{th} + \alpha$. The complementary bit lines BL and BLB of the pair of the subarray prepared in the left-hand side of a sense amplifier are arranged in parallel, as shown in this drawing. These complementary bit lines BL and BLB are connected with the I/O node of the unit circuit of a sense amplifier by shared switches MOSFETQ1 and Q2.

[0076] The unit circuit of a sense amplifier consists of CMOS latch circuits which the gate and a drain become from the amplification MOSFETQ5 and Q6 of N channel mold which cross connection was carried out and was made into the latch gestalt, and the amplification MOSFETQ7 and Q8 of a P channel mold. The source of N channel molds MOSFETQ5 and Q6 is connected to the common source line crucible swelling number. The source of the P channel molds MOSFETQ7 and Q8 is connected to the common source line CSP. The power switch MOSFET is connected to the above-mentioned common source lines crucible swelling number and CSP, respectively.

[0077] Although not restricted to especially the common source line crucible swelling number to which the source of the amplification MOSFETQ5 and Q6 of N channel mold was connected although not restricted especially, the operating voltage corresponding to touch-down potential is given by the power switch MOSFETQ14 of N channel mold formed in the above-mentioned crossing area 18. The power metal-oxide semiconductor field effect transistor Q15 of N channel mold which supplies the above-mentioned internal voltage VDL is formed in the common source line CSP to which the source of the amplification MOSFETQ7 and Q8 of the above-mentioned P channel mold was connected similarly. It distributes in each unit circuit and you may make it form the above-mentioned power switch MOSFET.

[0078] The activation signals SAN and SAP for sense amplifiers supplied to the gate of the power metal-oxide semiconductor field effect transistor Q14 and Q15 of the above-mentioned N channel mold are made into the signal of the inphase made high-level at the time of the activity of a sense amplifier. The high level of Signal SAP is made into the signal of pressure-up voltage VPP level. Since pressure-up voltage VPP is set to about 3.6 V when VDL is 1.8V, it can fully make an ON state the above-mentioned N channel mold MOSFETQ15, and can make the common source line CSP internal voltage VDL level.

[0079] The equalizing MOSFETQ11 which short-circuits a complementary bit line, and the precharge (equalizing) circuit which becomes a complementary bit line from the switches MOSFETQ9 and Q10 which supply the half precharge voltage VBLR are established in the I/O node of the unit circuit of the above-mentioned sense amplifier. As for these gates of MOSFETQ9-Q11, the precharge signal PCB is supplied in common. Although the driver circuit which forms this precharge signal PCB is not illustrated, it prepares an inverter circuit in the above-mentioned crossing area, and makes that standup and falling a high speed. That is, it precedes with word line selection timing at the time of initiation of memory access, and MOSFETQ9-Q11 which constitute the above-mentioned precharge circuit through the inverter circuit distributed and prepared in each crossing area are changed to a high speed.

[0080] IO switching circuit IOSW (switches MOSFETQ19 and Q20 which connect Maine IO with local IO) is put on the above-mentioned crossing area 18. Furthermore, the half precharge circuit of the common source lines CSP and crucible swelling number of a sense amplifier, the half precharge circuit of the local input output line LIO, the VDL precharge circuit of the Maine input output line, the distributed driver circuit of the shared selection-signal lines SHR and SHL, etc. are prepared if needed besides the circuit shown in drawing 3.

[0081] The unit circuit of a sense amplifier is connected to the same complementary bit lines BL and BLB of the subarray 15 of the drawing bottom through shared switches MOSFETQ3 and Q4. For example, when the sub word line SWL of an upper subarray is chosen, as for the top shared switches MOSFETQ1 and Q2 of a sense amplifier, the bottom shared switches MOSFETQ3 and Q4 are made an ON state at an OFF state. if switches MOSFETQ12 and Q13 constitute a column (Y) switching circuit and the above-mentioned selection signal YS is made into selection level (high-level) -- an ON state -- becoming -- the I/O node of the unit circuit of the above-mentioned sense amplifier, and the local input

output lines LIO1 and LIO1 -- B, LIO2, LIO2B, etc. are connected.

[0082] Thereby, the I/O node of a sense amplifier amplifies the minute signal of the memory cell which was connected to the complementary bit lines BL and BLB of an above top, and was connected to the selected sub word line SWL, and tells it to the local input output line LIO1 and LIO1B through the above-mentioned column switching circuit (Q12 and Q13). The above-mentioned local input output line LIO1 and LIO1B are extended in a longitudinal direction in accordance with the above-mentioned sense amplifier train that is, in this drawing. The above-mentioned local input output line LIO1 and LIO1B are connected to the Main input output lines MIO and MIOB to which the input terminal of a main amplifier 61 is connected through IO switching circuit which consists of N channel molds MOSFETQ19 and Q20 formed in the crossing area 18.

[0083] Switch control is carried out from the selection signal which decoded the address signal of X system and was formed, and the above-mentioned IO switching circuit is ****. In addition, IO switching circuit is good for each of the above-mentioned N channel molds MOSFETQ19 and Q20 also as a CMOS switch configuration which connected the P channel mold MOSFET to juxtaposition. In the burst mode of a Synchronous DRAM, the above-mentioned column selection signal YS is switched by counter actuation, and connection between the above-mentioned local input output line LIO1, LIO1B and LIO2, LIO2B, and every two pairs of complementary bit lines BL and BLB of a subarray is switched one by one.

[0084] An address signal Ai is supplied to an address buffer 51. This address buffer operates in time sharing, and incorporates X address signal and Y address signal. X address signal is supplied to the PURIDE coder 52, and the selection signal of the main word line MWL is formed through the main low decoder 11 and the main word driver 12. The above-mentioned address buffer 51 receives the address signal Ai supplied from an external terminal, and is operated by the supply voltage VDDQ supplied from an external terminal, the above-mentioned PURIDE coder is operated to it by the pressure-lowering voltage VPERI (VDD) which lowered the pressure of it, and the above-mentioned main word driver 12 is operated by the pressure-up voltage VPP to it. As this main word driver 12, the logical circuit with a level-conversion function which receives the above-mentioned PURIDE code signal is used. The column decoder (driver) 53 forms the above-mentioned selection signal YS in response to Y address signal supplied by time-sharing-actuation of above-mentioned address BAFUAA 51 including the drive circuit in which operating voltage is formed of MOSFETQ23 which constitutes the above-mentioned VCLP generating circuit.

[0085] the output buffer 62 which the above-mentioned main amplifier 61 is operated by said pressure-lowering voltage VPERI (VDD), and is operated with the supply voltage VDDQ supplied from an external terminal -- letting it pass -- external terminal Dout from -- it is outputted. The write-in signal inputted from the external terminal Din is incorporated through an input buffer 63, is written in the above-mentioned Main input output lines MIO and MIOB through the light amplifier (light driver) contained in a main amplifier 61 in this drawing, and supplies a signal. Boolean part for synchronizing a level-conversion circuit and its output signal with the timing signal corresponding to the above-mentioned clock signal, and making them output is established in the input section of the above-mentioned output buffer 62.

[0086] The pressure-lowering voltage VPERI (VDD) by which especially supply voltage VDDQ supplied from the above-mentioned external terminal although not restricted is set to 3.3V with the 1st gestalt, and is supplied to an internal circuitry is set as 2.5V, and operating voltage VDL of the above-mentioned sense amplifier is set to 1.8V. And the selection signal (pressure-up voltage) of a word line is set to 3.6V. Precharge voltage VBLR of a bit line is set to 0.9V corresponding to VDL/2, and plate voltage VPLT is also set to 0.9V. And substrate voltage VBB is set to -1.0V. Supply voltage VDDQ supplied from the above-mentioned external terminal may be made into a low battery like 2.5V as the 2nd gestalt. Thus, at the low time of supply voltage VDDQ, the pressure-lowering voltage VPERI (VDD) and pressure-lowering voltage VDL may be made the same with about 1.8V.

[0087] Or even if [whose supply voltage VDDQ supplied from an external terminal is / like / similarly / 2.0V or 1.8V for the pressure-lowering voltage VPERI (VDD) which is set to 3.3V and supplied to an

internal circuitry, and the operating voltage VDL of a sense amplifier], it is good. Thus, internal voltage can take various operation gestalten to the external power voltage VDDQ.

[0088] The whole one example block diagram of the Synchronous DRAM (only henceforth SDRAM) which is the abbreviation 256M bit to which this invention is applied is shown in drawing 14 . Although especially SDRAM of this example is not restricted, memory array 200D which constitutes memory array 200A which constitutes a memory bank 0 among four memory banks, and a memory bank 3 is shown in instantiation.

[0089] That is, the memory arrays 200B and 200C corresponding to two [1 and 2] of four memory banks are omitted. The memory arrays 200A-200D which corresponded to four memory banks 0-3, respectively It has the dynamic mold memory cell by which matrix arrangement was carried out like the memory arrays 200A and 200D shown in this drawing in instantiation. If drawing is followed, the selection terminal of the memory cell arranged at the same train will be combined with the word line (not shown) for every train, and the data input/output terminal of the memory cell arranged at the same line is combined with the complementary data line (not shown) for every line.

[0090] According to the decoding result of the row address signal by line (low) decoder 201A, one drives the word line which the above-mentioned memory array 200A does not illustrate on selection level. The complementary data line which memory array 200A does not illustrate is combined with I/O line 202A containing a sense amplifier and a column selection circuitry. The sense amplifier in I/O line 202A containing a sense amplifier and a column selection circuitry is an amplifying circuit which detects and amplifies the miniature potential difference which appears in each complementary data line by the data readout from a memory cell. The column switching circuit in it is a switching circuit for choosing the complementary data line as each **, and making a complementary I/O line flow. According to the decoding result of the column address signal by column decoder 203A, selection actuation of the column switching circuit is carried out.

[0091] I/O line 202D and column decoder 203D in which memory array 200B thru/or 200D contain low decoder 201D, a sense amplifier, and a column selection circuitry similarly as shown in memory array 200D in instantiation are prepared. The above-mentioned complementation I/O line is connected to the input terminal of the output terminal of light buffer 214A and B and main amplifier 212A, and D. The output signal of the above-mentioned main amplifier 212A and D is told to the input terminal of a latch / register 213, and the output signal of this latch / register 213 is outputted from an external terminal through an output buffer 211.

[0092] The write-in signal inputted from the external terminal is told to the input terminal of the above-mentioned light buffer 214A and D through an input buffer 210. Although especially the above-mentioned external terminal is not restricted, let it be the data input/output terminal which outputs data D0-D15 which consists of 16 bits. In addition, corresponding to memory array 200B and C by which the abbreviation was carried out [above-mentioned], the respectively same main amplifier as the above and a light buffer are formed.

[0093] The address signals A0-A13 supplied from an address input terminal are incorporated by the column address buffer 205 and the row address buffer 206 in address multiplexer format. When it has storage capacity like 256M bit and is made to perform memory access in 2 bitwises as mentioned above, the address terminal which inputs an address signal A14 is prepared. In x4 bit pattern, it is supposed that it is effective to an address signal A11, by x8 bit pattern, even an address signal A10 is confirmed and even address signal A9 is confirmed by x16 bit pattern. In the case of storage capacity like 64M bit, by x4 bit pattern, it is supposed that it is effective to an address signal A10, it is supposed in x8 bit pattern that even address signal A9 is effective, and as shown in drawing, even an address signal A8 is confirmed by x16 bit pattern.

[0094] Each buffer holds the address signal supplied from the address input terminal. The row address buffer 206 incorporates the refresh address signal outputted from the refresh counter 208 in a refresh mode of operation as a row address signal. The output of the column address buffer 205 is supplied as presetting data of the column address counter 207, and the train (column) address counter 207 turns and outputs the column address signal as the above-mentioned presetting data, or the value which carried out

sequential increment of the column address signal to the column decoders 203A-203D according to the mode of operation specified by the below-mentioned command etc.

[0095] The controller 209 shown by the dotted line in this drawing Although not restricted especially, clock signal CLK, the clock enable signal CKE, A chip select signal/CS, a column-address strobe signal / CAS (mark/means that the signal to which this was given is a signal of low enabling), External-control signals, such as a row address strobe signal / RAS and a write enable signal / WE, It is what forms the internal-time signal for the control data from the address input terminals A0-A11 being supplied, and controlling the mode of operation of SDRAM, and actuation of the above-mentioned circuit block based on change, timing, etc. of the level of those signals. It has a mode register 10, a command decoder 20, the timing generating circuit 30, and clock buffer 40 grade.

[0096] A clock signal CLK is inputted into said clock synchronous circuit 50 which was explained through the clock buffer 40, and an internal clock is generated. Although especially the above-mentioned internal clock is not restricted, while it is used as a timing signal which activates an output buffer 211 and an input buffer 210, the timing signal which is supplied to the timing generating circuit 30 and supplied to the train address buffer 205, the line address buffer 206, and the train address counter 207 based on this clock signal is formed.

[0097] Other external input signals are made significant synchronizing with the rising edge of the internal clock signal concerned. A chip select signal/CS directs initiation of a command input cycle with the low level. The input of the time (chip condition of not choosing) when a chip select signal/CS is high-level, or others does not have semantics. However, interior actions mentioned later, such as a selection condition of a memory bank and burst actuation, are not influenced by change in the chip condition of not choosing. Each signal of /RAS, /CAS, and /WE is made into a significant signal, when a function is different in the correspondence signal in the usual DRAM and the command cycle mentioned later is defined.

[0098] It is the signal which directs the effectiveness of the following clock signal, if the signal CKE concerned is high-level, the rising edge of the following clock signal CLK will be confirmed, and when it is a low level, let the clock enable signal CKE be an invalid. In addition, in a Read mode, when the external-control signal which controls output enable to an output buffer 211 / OE is prepared, this signal/OE is also supplied to a controller 209, and when the signal is high level, it changes an output buffer 211 into a high power impedance condition.

[0099] The above-mentioned row address signal is defined by the level of A0-A11 in the below-mentioned row address strobe bank active command cycle which synchronizes with the rising edge of a clock signal CLK (internal clock signal).

[0100] In the above-mentioned row address strobe bank active command cycle, it is considered that address signals A12 and A13 are bank selection signals. That is, one of four memory banks 0-3 is chosen by the combination of A12 and A13. Although especially the selection control of a memory bank is not restricted, processing of connection with the input buffer 210 and output buffer 211 only by the side of activation of only the low decoder by the side of a selection memory bank, **** selection of the column switching circuit by the side of a non-choosing memory bank, and a selection memory bank etc. can perform it.

[0101] In the case of x16 bit pattern, the above-mentioned column address signal is defined by 256M bit as mentioned above by the level of A0 - A9 in the lead or light command (below-mentioned column address lead command, column address light command) cycle which synchronizes with the rising edge of a clock signal CLK (internal clock). And let the column address defined by carrying out in this way be the start address of burst access.

[0102] Next, the main modes of operation of SDRAM directed by the command are explained.

(1) Mode register set command (Mo)

It is a command for setting the above-mentioned mode register 30, and with /CS, /RAS, /CAS, and a /WE= low level, command assignment is carried out and the data (register set data) concerned which should be set is given through A0-A11. Although especially register set data is not restricted, let it be burst length, CAS latency, a write mode, etc. Although not restricted especially, burst length which can

be set up is made into 1, 2, 4, 8, and a full page, and CAS latency which can be set up is set to 1, 2, and 3, and let the write modes which can be set up be a burst light and a single light.

[0103] The above-mentioned CAS latency directs a part for what cycle of an internal clock signal is spent by output actuation of an output buffer 211 from falling of /CAS in the lead actuation directed by the below-mentioned column address lead command. It is for the interior-action time amount for data readout being needed by the time read-out data is decided, and setting it up according to the operating frequency of an internal clock signal. If it puts in another way, in using an internal clock signal with high frequency, it sets CAS latency as a big value relatively, and in using an internal clock signal with low frequency, it will set CAS latency as a small value relatively.

[0104] (2) Row address strobe bank active command (Ac)

the command with which this confirms directions of a row address strobe, and selection of the memory bank by A12 and A13 -- it is -- /CS, a /RAS= low level, /CAS, and /WE= -- therefore, it is directed high-level and the signal with which the address supplied to A0 - A9 at this time is supplied to A12 and A13 as a row address signal is incorporated as a selection signal of a memory bank. Incorporation actuation is performed as mentioned above synchronizing with the rising edge of an internal clock signal. For example, if the command concerned is specified, the word line in the memory bank specified by it will be chosen, and the memory cell connected to the word line concerned will flow in the complementary data line which corresponds, respectively.

[0105] (3) Column address lead command (Re)

the command which gives directions of a column-address strobe while being a command required in order that this command may start burst lead actuation -- it is -- /CS, a /CAS= low level, /RAS, and /WE= -- therefore, it is directed high-level and the column address supplied to A0 - A9 (in the case of x16 bit pattern) at this time is incorporated as a column address signal. The column address signal incorporated by this is supplied to the column address counter 207 as a burst start address.

[0106] In the burst lead actuation directed by this, selection of the word line in a memory bank and it is performed in the row address strobe bank active command cycle before that, sequential selection is made according to the address signal outputted from the column address counter 207 synchronizing with an internal clock signal, and the memory cell of the selection word line concerned is read continuously. Let the number of data read continuously be the number specified with the above-mentioned burst length. Moreover, data readout initiation from an output buffer 211 is performed by waiting for the number of cycles of the internal clock signal specified by the above-mentioned CAS latency.

[0107] (4) Column address light command (Wr)

It considers as a command required when the burst light is set as the mode register 10 as a mode of the Wright actuation, in order to start the burst light actuation concerned, and considers as a command required when the single light is set as the mode register 10 as a mode of the Wright actuation, in order to start the single light actuation concerned. Furthermore, the command concerned gives directions of the column-address strobe in a single light and a burst light.

[0108] the command concerned -- /CS, /CAS, a /WE= low level, and /RAS= -- therefore, it is directed high-level and the address supplied to A0 - A9 at this time is incorporated as a column address signal. The column address signal incorporated by this is supplied to the column address counter 207 as a burst start address in a burst light. The procedure of the burst light actuation directed by this as well as burst lead actuation is performed. However, there is no CAS latency in the Wright actuation, and incorporation of light data is started from the column address light command cycle concerned.

[0109] (5) Precharge command (Pr)

this is taken as the initiation command of the precharge actuation to the memory bank chosen by A12 and A13 -- having -- /CS, /RAS, a /WE= low level, and /CAS= -- therefore, it is directed high-level.

[0110] (6) the command needed in order that the command of Ohtori fresh command ** may start the Ohtori freshness -- it is -- /CS, /RAS, a /CAS= low level / WE, and CKE= -- therefore, it is directed high-level.

[0111] (7) It is a command required in order to stop the burst actuation to a burst stop Inn full page command full page to all memory banks, and is ignored in the burst actuation of those other than a full

page. this command -- /CS, a /WE= low level, /RAS, and /CAS= -- therefore, it is directed high-level.

[0112] (8) No operation command (Nop)

This is a command which does not perform substantial actuation and which carries out thing directions, and is directed with the high level of a /CS= low level, /RAS, /CAS, and /WE.

[0113] In SDRAM, actuation of the row address system in the another memory bank concerned is enabled, without affecting actuation by one memory bank under activation concerned in any way, if another memory bank is specified by the middle and a row address strobe bank active command is supplied, when burst actuation is performed by one memory bank. For example, although SDRAM has the data supplied from the outside, the address, and a means to hold a control signal inside and the contents of maintenance especially the address, and especially a control signal are not restricted, it is held for every memory bank. Or the data of word line 1 duty in memory block chosen by the row address strobe bank active command cycle is beforehand held before column system actuation at a latch / register 213 for read-out actuation.

[0114] Unless data D0-D15 collides in the data input/output terminal which follows, for example, consists of 16 bits, it is possible to publish the precharge command and row address strobe bank active command to a different memory bank from the memory bank which the command under activation concerned makes a processing object, and to make an interior action start beforehand in the command execution which processing has not ended. Since SDRAM of this example performs memory access in a 16-bit unit as mentioned above, has the address of about 4 M with the address of A0-A11 and consists of four memory banks, it is made to have about 256M storage capacity like a bit (4Mx4 bank x16 bit) held on the whole.

[0115] The operation effect acquired from the above-mentioned example is as follows.

(1) The effect that a user-friendly semiconductor memory can be obtained is acquired, using a thin package by assembling to a laminated structure, where the rear face of two memory chips where memory access is performed by 2 bitwises is piled up, and being made to perform memory access in 4 bitwises.

[0116] (2) The effect that they can realize thin shape-ization of a package since the two above-mentioned memory chips are unnecessary for the purpose of the closure and can eliminate closure resin on the back as much as possible by piling up so that a rear face may contact mutually is acquired.

[0117] (3) The above-mentioned memory chip is divided into two or more memory banks, and when it piles up so that the above-mentioned rear face may contact, and making it the locations on the rear face of a memory chip of a memory bank to which the same address was assigned differ, the effect that an exoergic part can be distributed is acquired.

[0118] (4) The effect that thin shape-ization of a package is realizable is acquired by [which form so that the surface may be contacted at least] having piled up the two above-mentioned memory chips so that the surface might face mutually, and having inserted the above-mentioned closure resin by two memory chips.

[0119] (5) The effect that, as for the two above-mentioned memory chips, the thickness can be made thin, making it a laminating when the lead of a tape condition is formed for each in the surface and it is made for the above-mentioned surface section to contact the above-mentioned closure resin at least except for a rear face is acquired.

[0120] (6) The thickness of the semiconductor memory equipped with two memory chips made into the above-mentioned laminated structure is equivalent to the thickness of the semiconductor memory which has the one-piece memory chip which has the one half or the equivalent storage capacity of that, or the effect that the replacement with the semiconductor memory of existing (general-purpose) can be performed is acquired by making it less than [it].

[0121] (7) The effect that it can attain fertilization by setup of signal level with the signal transduction path or it using a wiring means or a bonding wire since the above-mentioned memory chip can form the memory chip which consists of many forms by having the function which enables two or more kinds of data I/O by two or more bit unit including the memory access in 2 bitwises at the same production process is acquired.

[0122] (8) By making the above-mentioned two or more bitwises into four kinds, 2 bitwises, 4 bitwises, 8 bitwises, and 16 bitwises, the semiconductor memory of 4, 8 and 16 which are generally widely used including the laminated structure of two chips, and 32 bit patterns can be substantially realized by one kind of memory chip, and the effect that a memory chip twice the storage capacity of one can moreover be obtained at the maximum is acquired.

[0123] (9) The above-mentioned semiconductor memory forms a lead so that it may extend from the both-sides side of the longitudinal direction of a rectangular resin seal package, and the above-mentioned 4 bits as a data terminal which consists of the 1st terminal thru/or the 4th terminal The above 1st, the 2nd terminal, the 3rd, and the 4th terminal are divided and prepared in a symmetrical location to a center line parallel to the above-mentioned longitudinal direction at the both sides of a rectangular resin seal package. By connecting electrically to the 1st terminal of the above, and the 2nd terminal, the electrode which corresponded the two above-mentioned memory chips to the 2 above-mentioned bits data terminal Each data terminal of two memory chips is made to separate, and the effect of the ability to make the four above-mentioned data terminals corresponding is acquired.

[0124] (10) Increase of the storage capacity per unit volume and the effect that the memory module in which high density assembly is possible can be obtained are acquired by assembling to a laminated structure in the condition that closure resin cannot be touched at the rear face of two memory chips at which memory access is performed by 2 bitwises, and preparing the plurality of a semiconductor memory as comes to carry out memory access in 4 bitwises on the mounting substrate with which it comes to form an electrode along the one side which consists of rectangles.

[0125] (11) By using it for it, as the above-mentioned electrode is inserted in two or more KONETAKU which is located in a line in parallel on the main substrate, and is arranged in the plurality of the above-mentioned memory module, increase of the storage capacity per unit volume and the effect that high density assembly can be made possible are acquired.

[0126] (12) The two above-mentioned memory chips are piled up so that a rear face may contact mutually, by [of two memory chips] forming so that the above-mentioned closure resin may be contacted on the surface at least, a general-purpose semiconductor memory and general-purpose replacement are possible, and increase of the storage capacity per unit volume and the effect that high density assembly can be made possible are acquired.

[0127] (13) The two above-mentioned memory chips are piled up so that the surface may face mutually, and the effect that a general-purpose semiconductor memory and general-purpose replacement are possible for the above-mentioned closure resin, and it can make possible increase of the storage capacity per unit volume and high density assembly by [of two memory chips] being formed so that the surface may be contacted at least is acquired.

[0128] (14) Equivalent [to the thickness of one general-purpose semiconductor memory which has the one half or the equivalent storage capacity of that for the thickness of two memory chips made into the above-mentioned laminated structure], the replacement with the thing using a general-purpose semiconductor memory is possible by making it less than [it], and increase of storage capacity and the effect that high density assembly can be made possible are acquired.

[0129] (15) When the above-mentioned semiconductor memory prepares the function which enables two or more kinds of data I/O by two or more bit unit including the memory access in 2 bitwises by setup of the voltage given to an external terminal, in case it carries in a memory module, the effect that the bit pattern of a data terminal can be chosen is acquired.

[0130] (16) The above-mentioned two or more bitwises can obtain the memory module of 4, 8 and 16 which are generally widely used including the laminated structure of two chips, and 32 bit patterns by considering as four kinds, 2 bitwises, 4 bitwises, 8 bitwises, and 16 bitwises. The effect to say is

[0131] Although invention made from this invention person above was concretely explained based on the example, it cannot be overemphasized that it can change variously in the range which the invention in this application is not limited to said example, and does not deviate from the summary. For example, in the dynamic mold RAM shown in drawing 12 , the configuration of a memory array, a subarray, and

a subWORD driver can take various operation gestalten, and the input/output interface of the dynamic mold RAM can take various operation gestalten, such as what suited run bus specification etc. other than synchronous specification. A word line may take the WORD shunt method other than the above hierarchy word line methods.

[0132] Two memory chips may consist of combination of the so-called partialness chip as for which each is confirmed by the storage area which is one half. That is, a defect exists in a part and you may make it constitute one semiconductor memory in a laminated structure, combining two memory chips by which memory access was made possible only to the half storage area as mentioned above. In this case, the semiconductor memory same in appearance as the one above-mentioned memory chip can be constituted combining two memory chips to which only the semiconductor memory of the excellent article which consisted of one memory chip, and the storage area of the above-mentioned one half are made as for memory access.

[0133] The function to carry out memory access for the semiconductor memory same in appearance as the one above-mentioned memory chip to a ***** case in a 2 above-mentioned bits unit can be effectively used combining two memory chips to which only the storage area of the above-mentioned one half is made as for memory access as mentioned above. that is, the above -- it is because the storage area to which the same address is assigned among the semiconductor memories confirmed can make it operate combining two memory chips confirmed as a semiconductor memory in which the memory access in 4 bitwises is possible. In addition, if the memory access in 8 bits or 16 bitwises is required, each should just make the two above-mentioned memory chips 4 bit patterns or 8 bit patterns.

[0134] this -- reverse -- the above -- since memory access is performed to either by the address signal between two memory chips when two memory chips by which the storage area to which the different address among the semiconductor memories confirmed is assigned is confirmed are combined, memory access should just be made to be performed per two or more bits like 4 bits corresponding to bus width of face, such as a memory module to which not memory access but the semiconductor memory in the above-mentioned 2 bitwises are connected, 8 bits, or 16 bits.

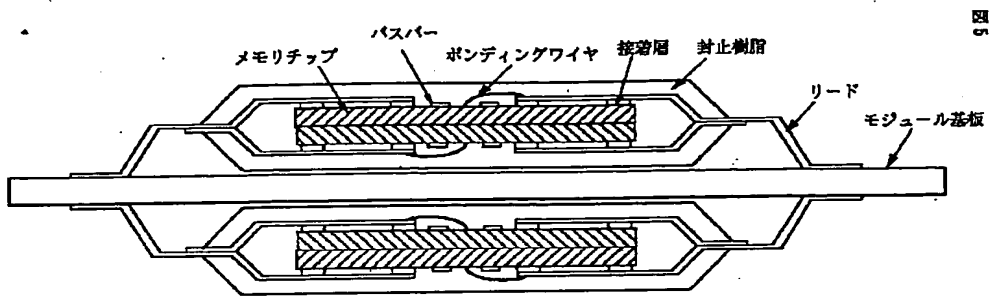
[0135] A semiconductor memory may be a read-only memory like the static molds RAM, EPROM, or EEPROM besides the above DRAMs. This invention can be widely used for the various semiconductor memories and memory module which are made into a laminated structure.

[0136]

[Effect of the Invention] It will be as follows if the effect acquired by the typical thing among invention indicated in this application is explained briefly. That is, a user-friendly semiconductor memory can be obtained, using a thin package by piling up the rear face of two memory chips where memory access is performed by 2 bitwises, assembling to a laminated structure, and being made to perform memory access in 4 bitwises.

[0137] It will be as follows if the effect acquired by others and the typical thing among invention indicated in this application is explained briefly. That is, increase of the storage capacity per unit volume and the effect that the memory module in which high density assembly is possible can be obtained are acquired by piling up the rear face of two memory chips where memory access is performed by 2 bitwises, assembling to a laminated structure, and preparing the plurality of a semiconductor memory as comes to carry out memory access in 4 bitwises on the mounting substrate with which it comes to form a connector electrode along the one side which consists of rectangles.

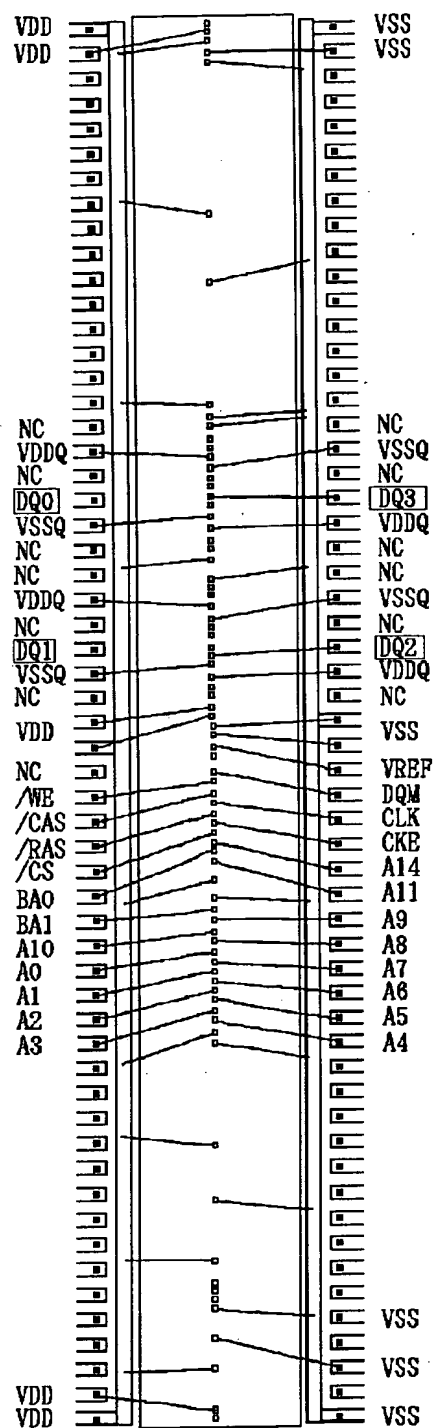
[Translation done.]



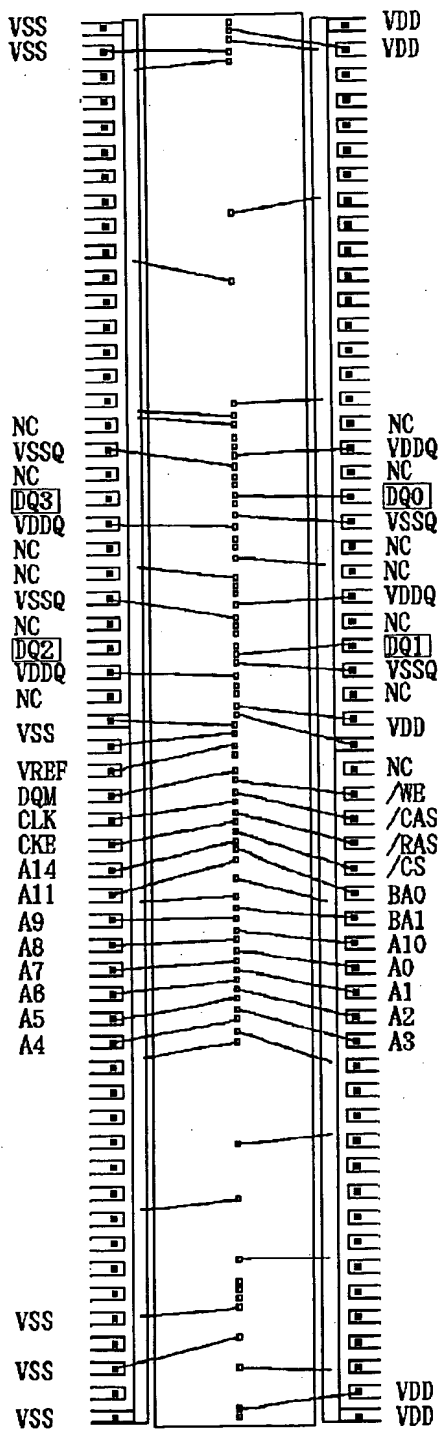
[Drawing 2]

図-2

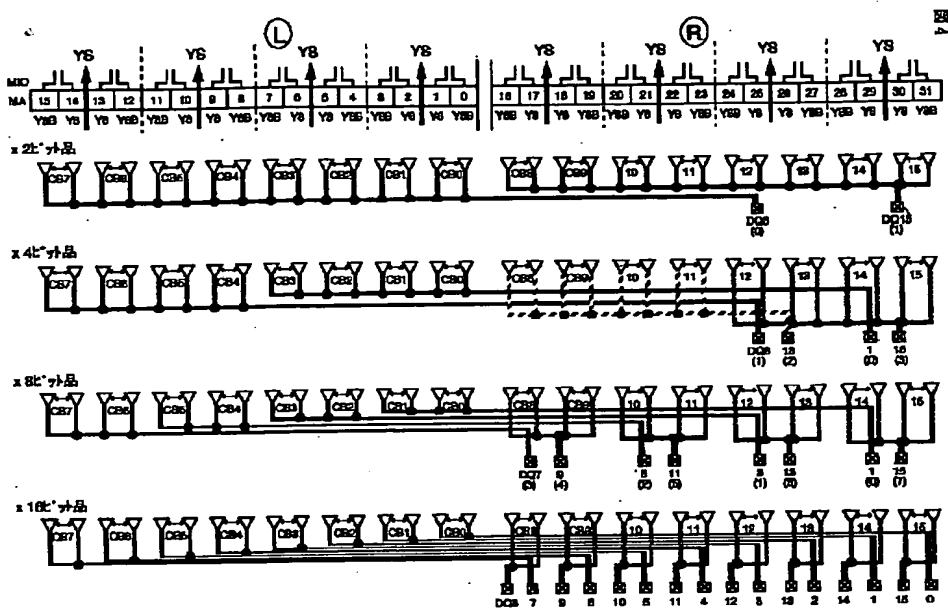
(A) UPPER



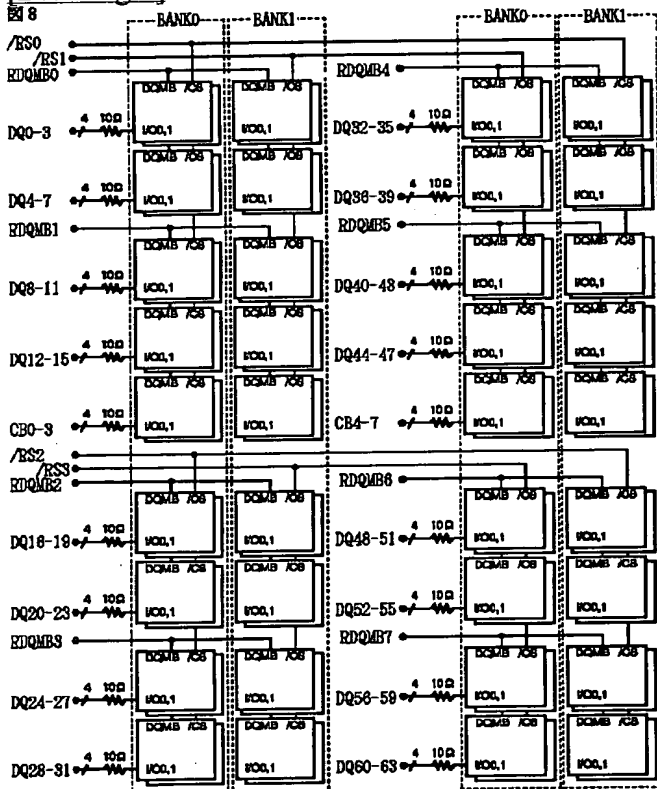
(B) LOWER



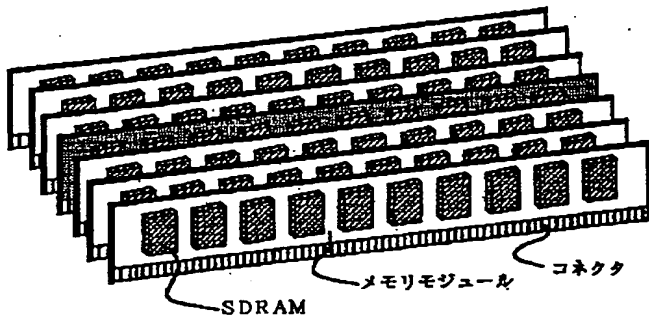
[Drawing 4]



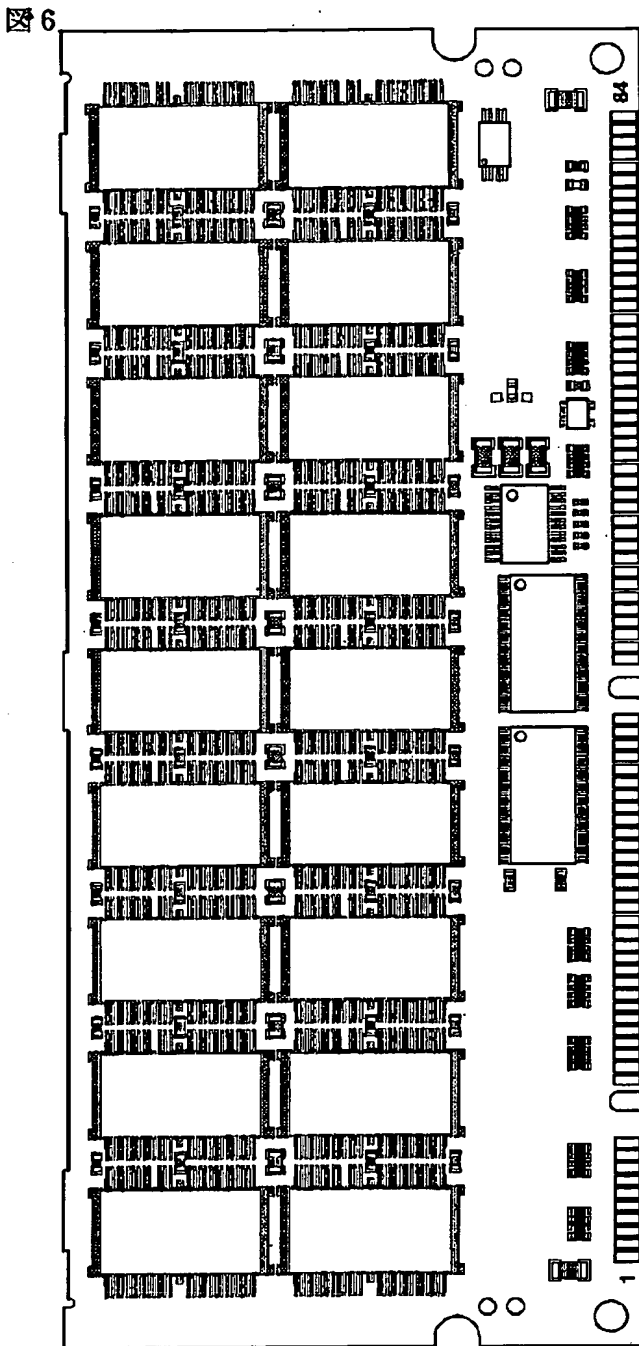
[Drawing 8]



[Drawing 9]

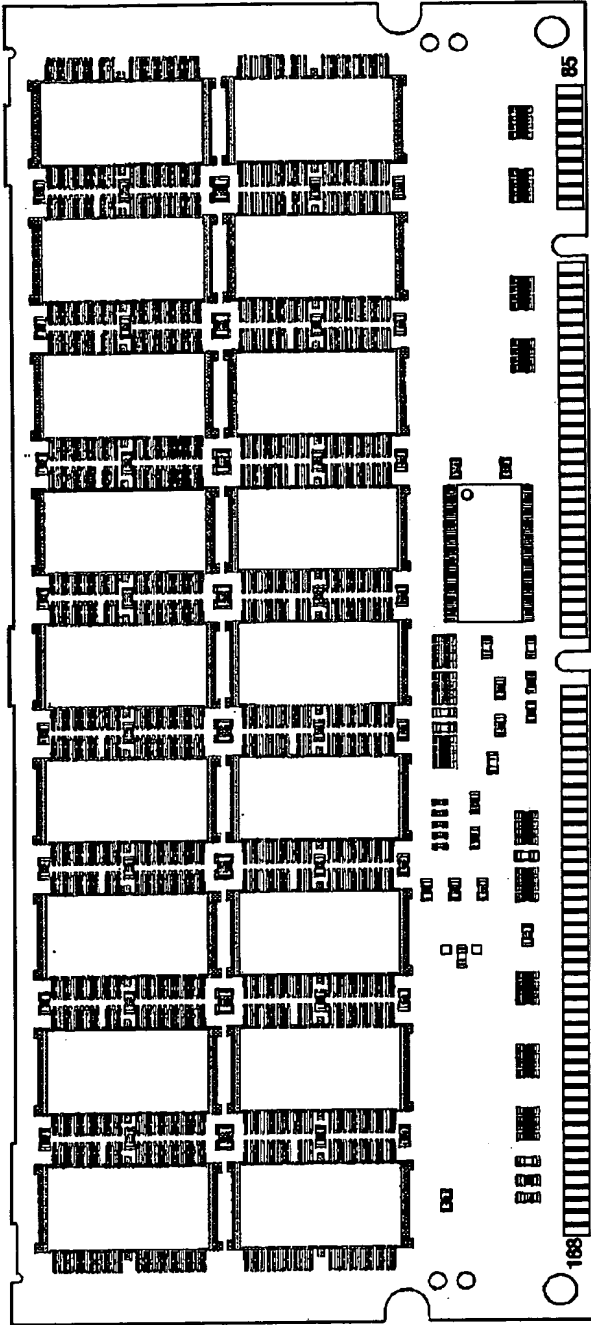


[Drawing 6]



[Drawing 7]

図7



[Drawing 10]

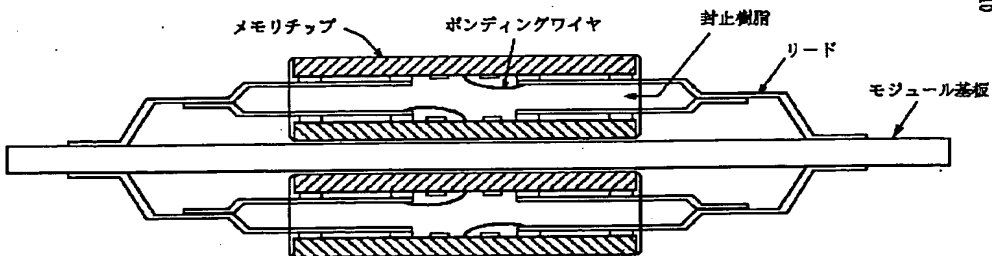
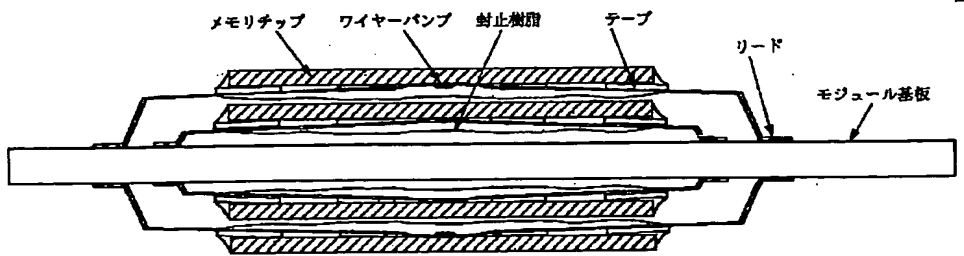
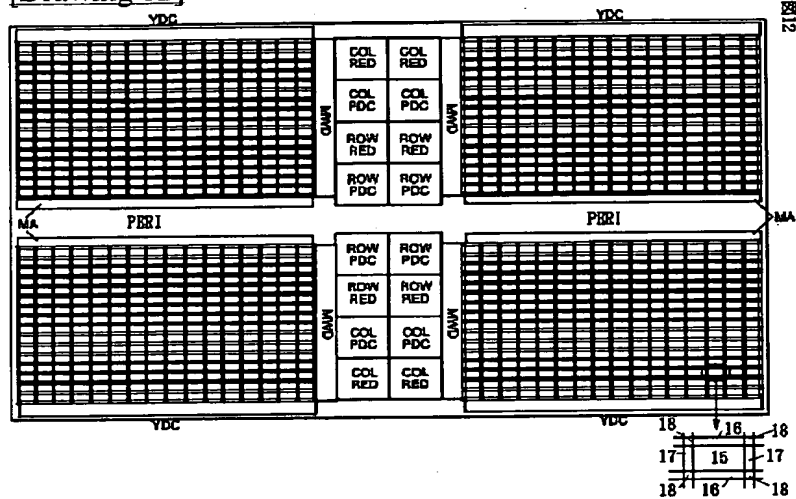


図10

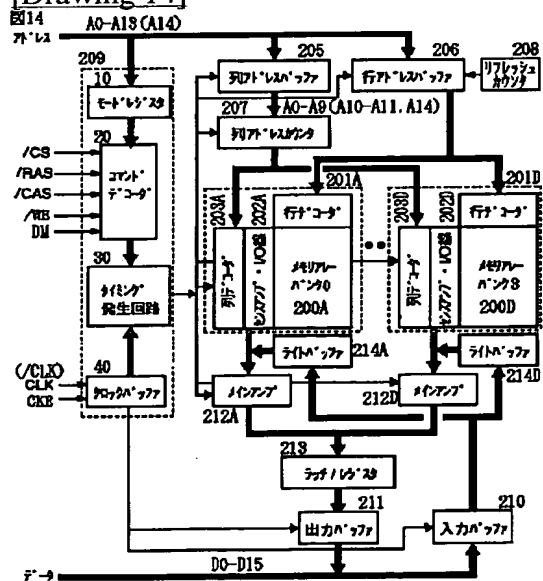
[Drawing 11]



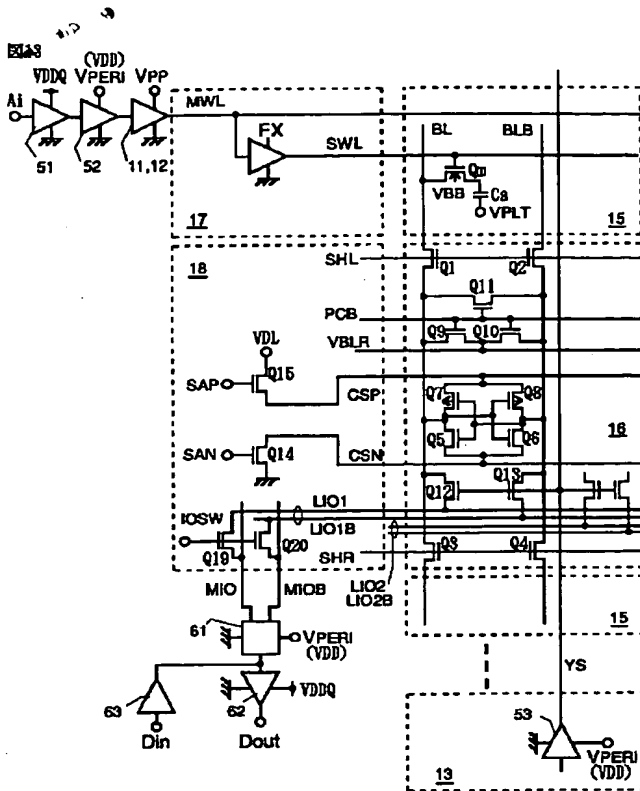
[Drawing 12]



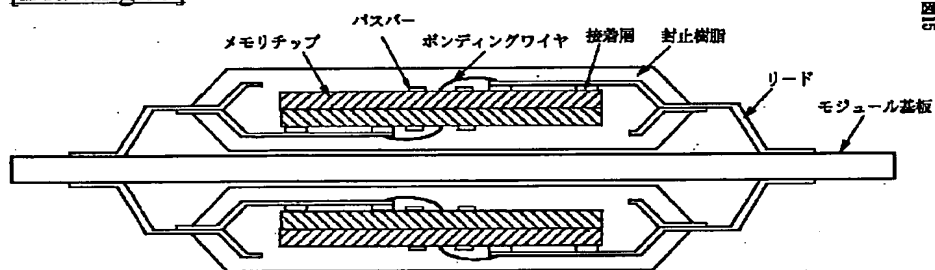
[Drawing 14]



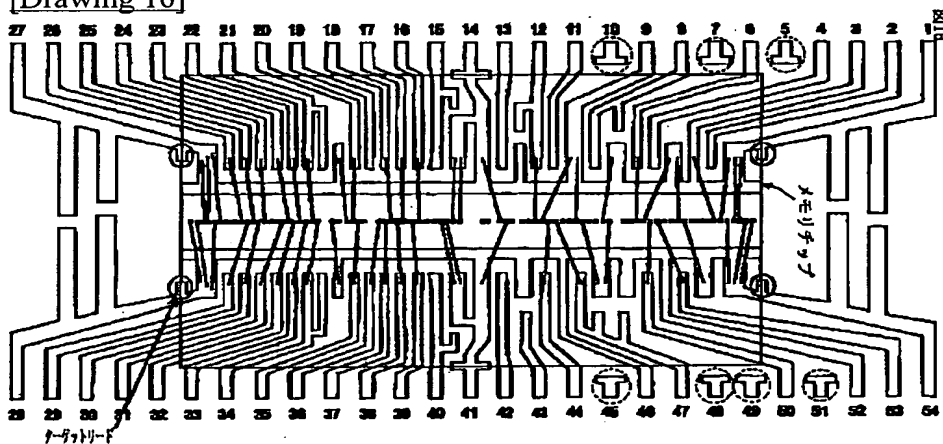
[Drawing 13]



[Drawing 15]



[Drawing 16]



[Translation done.]